

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196977
(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H04B 3/06
G11B 20/10
H03H 17/00
H04L 25/03

(21)Application number : 2000-329302
(22)Date of filing : 27.10.2000

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(72)Inventor : TOKUNAGA NAOYA
UEDA KAZUYA

(30)Priority

Priority number : 11309872 Priority date : 29.10.1999 Priority country : JP

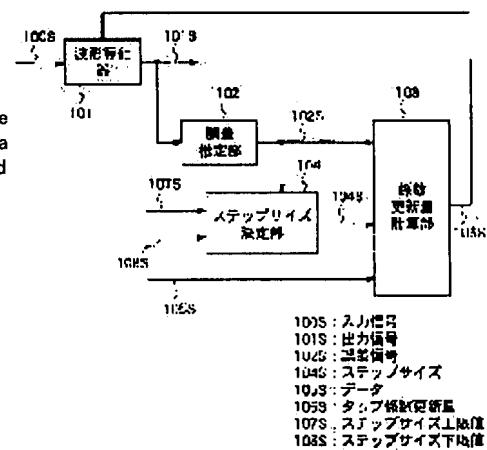
(54) WAVEFORM EQUALIZING CONTROLLER, AND WAVEFORM EQUALIZING CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a low cost waveform equalizing controller with high performance by making stability at low C/N compatible with tracking performance and a converging speed at an initial operation when distortion in a waveform equalizer fluctuates.

converging speed at an initial operation when distortion in a waveform equalizer fluctuates.

SOLUTION: The waveform equalizing controller provided with a waveform equalizer 101 that reduces the transmission line distortion of an input signal on the basis of the LMS algorithm to control tap coefficient update, is provided with an error estimate section 102 that estimates an error signal 102S from an output signal 101S of the waveform equalizer 101 and provides an output, a step size decision section 104 that generates a step size 104S of an optional magnitude and provides an output, and a coefficient update amount calculation section 103 that calculates a tap coefficient update amount 106S on the basis of the error signal 102S, the step size 104S and data 105S used for tap coefficient update.



LEGAL STATUS

[Date of request for examination]

27.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3458098

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-196977

(P2001-196977A)

(43)公開日 平成13年7月19日(2001.7.19)

(51)Int.Cl.⁷
H 04 B 3/06
G 11 B 20/10
H 03 H 17/00
H 04 L 25/03

識別記号
3 2 1
6 0 1

F I
H 04 B 3/06
G 11 B 20/10
H 03 H 17/00
H 04 L 25/03

テマコード(参考)
A
3 2 1 A
6 0 1 D
C

審査請求 有 請求項の数34 O L (全31頁)

(21)出願番号 特願2000-329302(P2000-329302)
(22)出願日 平成12年10月27日(2000.10.27)
(31)優先権主張番号 特願平11-309872
(32)優先日 平成11年10月29日(1999.10.29)
(33)優先権主張国 日本(JP)

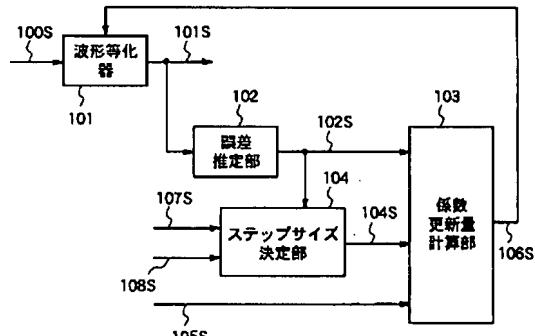
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 ▲とく▼永 尚哉
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 上田 和也
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 100081813
弁理士 早瀬 慶一

(54)【発明の名称】 波形等化制御装置、及び波形等化制御方法

(57)【要約】

【課題】 波形等化器において、歪みが変動した場合の追従性や初期動作時の収束速度と低C/N時の安定性を両立し、高性能かつ低成本な波形等化制御装置を提供する。

【解決手段】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器101を備え、タップ係数更新を制御する波形等化制御装置であって、波形等化器101の出力信号101Sより誤差信号102Sを推定して出力する誤差推定部102と、任意の大きさのステップサイズ104Sを生成し、出力するステップサイズ決定部104と、誤差信号102Sとステップサイズ104Sとタップ係数更新用いるデータ105Sとからタップ係数更新量106Sを計算する係数更新量計算部103とを備える。



100S:入力信号
101S:出力信号
102S:誤差信号
104S:ステップサイズ
105S:データ
106S:タップ係数更新量
107S:ステップサイズ上限値
108S:ステップサイズ下限値

【特許請求の範囲】

【請求項1】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、前記誤差信号と前記タップ係数の更新のきざみであるステップサイズの上限値と下限値であるステップサイズ上限値及びステップサイズ下限値を入力とし、該ステップサイズ上限値以下かつ該ステップサイズ下限値以上の範囲で該誤差信号に応じた大きさのステップサイズを適応的に生成し、出力するステップサイズ決定部と、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とする波形等化制御装置。

【請求項2】 請求項1に記載の波形等化制御装置において、

前記ステップサイズ決定部は、

前記誤差信号を2乗して2乗誤差を生成する乗算器と、前回のタップ係数更新時に生成した2乗誤差を記憶する2乗誤差記憶部と、

前記乗算器の出力する2乗誤差と前記2乗誤差記憶部の記憶する前回のタップ係数更新時に生成した2乗誤差との差である2乗誤差の差を生成する減算器と、

前記2乗誤差と第1の閾値とを比較する第1の比較器と、

前記2乗誤差と第2の閾値とを比較する第2の比較器と、

前記2乗誤差の差の絶対値と第3の閾値とを比較する第3の比較器と、

前回のタップ係数更新時に使用したステップサイズを記憶するステップサイズ記憶部と、

前記ステップサイズ記憶部が記憶しているステップサイズと、前記第1の比較器の出力と、前記第2の比較器の出力と、前記第3の比較器の出力と、前記ステップサイズ上限値と、前記ステップサイズ下限値と、を入力とし、今回のタップ係数更新に使用するステップサイズを生成するステップサイズ増減部とを備えた、

ことを特徴とする波形等化制御装置。

【請求項3】 請求項2に記載の波形等化制御装置において、

前記第2の閾値は、前記2乗誤差がその値よりも大きければ、前記波形等化器の波形等化動作が発散傾向となる値であり、

前記第1の閾値は、前記2乗誤差がその値よりも小さければ、前記波形等化器の波形等化動作が収束中か、収束完了かのどちらかの状態となる値であり、

前記第3の閾値は、前記2乗誤差が、前記第1の閾値よ

10

20

30

40

50

りも小さい場合に、前記2乗誤差の差の絶対値が前記第3の閾値よりも大きければ、前記波形等化器の波形等化動作が収束中の状態となる値であり、前記第3の閾値以下であれば、前記波形等化器の波形等化動作が収束完了の状態となる値であり、

前記ステップサイズ増減部は、前記第1ないし第3の比較器の比較結果より、2乗誤差が第2の閾値より大きい場合は、ステップサイズを一定量減少させ、

前記2乗誤差が第1の閾値よりも小さく、かつ前記2乗誤差の差の絶対値が第3の閾値以下である場合は、ステップサイズを一定量減少させ、

前記2乗誤差が第1の閾値よりも小さく、かつ前記2乗誤差の差の絶対値が第3の閾値よりも大きい場合は、ステップサイズを一定量増加させ、

それ以外の場合はステップサイズを変化させない、ことを特徴とする波形等化制御装置。

【請求項4】 請求項2に記載の波形等化制御装置において、

前記第2の閾値は、前記2乗誤差がその値よりも大きければ、前記波形等化器の波形等化動作が発散傾向となる値であり、

前記第1の閾値は、前記2乗誤差がその値よりも小さければ、前記波形等化器の波形等化動作が収束中か、収束完了かのどちらかの状態となる値であり、

前記第3の閾値は、前記2乗誤差が、前記第1の閾値よりも小さい場合に、前記2乗誤差の差の絶対値が前記第3の閾値よりも大きければ、前記波形等化器の波形等化動作が収束中の状態となる値であり、前記第3の閾値以下であれば、前記波形等化器の波形等化動作が収束完了の状態となる値であり、

前記ステップサイズ増減部は、前記第1ないし第3の比較器の比較結果より、2乗誤差が第2の閾値より大きい場合は、ステップサイズを一定割合減少させ、

前記2乗誤差が第1の閾値よりも小さく、かつ前記2乗誤差の差の絶対値が第3の閾値以下である場合は、ステップサイズを一定割合減少させ、

前記2乗誤差が第1の閾値よりも小さく、かつ前記2乗誤差の差の絶対値が第3の閾値よりも大きい場合は、ステップサイズを一定割合増加させ、

それ以外の場合は、ステップサイズを変化させない、ことを特徴とする波形等化制御装置。

【請求項5】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、

前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、

前記出力信号に対する誤差推定の判定誤り確率の大小を判定し、判定信号を出力する信号判定部と、

前記判定信号を入力とし、前記タップ係数の更新のきざみ

みであるステップサイズとして該判定信号に応じた大きさの値を出力するステップサイズ決定部と、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とする波形等化制御装置。

【請求項6】 請求項5に記載の波形等化制御装置において、

前記信号判定部は、

前記出力信号が既知であることを示す場合と、

前記出力信号の判定誤りの確率が小さいことを示す場合と、

前記出力信号の判定誤りの確率が大きいことを示す場合と、の3通りの判定信号を出力する、ことを特徴とする波形等化制御装置。

【請求項7】 請求項6に記載の波形等化制御装置において、

前記ステップサイズ決定部は、前記判定信号が前記出力信号が既知であることを示す場合は、第1のステップサイズ設定値を前記ステップサイズとして出力し、前記出力信号の判定誤りの確率が小さいことを示す場合は、前記第1のステップサイズ設定値より小さな値である第2のステップサイズ設定値を出力し、

前記出力信号の判定誤りの確率が大きいことを示す場合は、前記第2のステップサイズ設定値より小さな値である第3のステップサイズ設定値を出力する、

ことを特徴とする波形等化制御装置。

【請求項8】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、

前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、

前記誤差信号と閾値と複数のステップサイズ設定値とを入力とし、前記タップ係数の更新のきざみであるステップサイズを決定するステップサイズ決定部と、

前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、

ことを特徴とする波形等化制御装置。

【請求項9】 請求項8に記載の波形等化制御装置において、

前記複数のステップサイズ設定値は、第1のステップサイズ設定値と、該第1のステップサイズ設定値より値の大きい第2のステップサイズ設定値であり、

前記ステップサイズ決定部は、

前記誤差信号の絶対値と前記閾値とを比較する比較器と、

前記比較器から出力される比較結果より、前記第1のステップサイズ設定値と、前記第2のステップサイズ設定

値のどちらかを選択して、前記ステップサイズとして出力するセレクタとを備えた、ことを特徴とする波形等化制御装置。

【請求項10】 請求項9に記載の波形等化制御装置において、

前記閾値は、前記誤差信号の絶対値が該閾値以下のときに前記波形等化器がほぼ収束した状態となる値であり、前記ステップサイズ決定部は、前記誤差信号の絶対値が前記閾値以下の場合に、前記第1のステップサイズ設定値を前記ステップサイズとして出力し、前記誤差信号の絶対値が前記閾値を超える場合に、前記第2のステップサイズ設定値を前記ステップサイズとして出力する、ことを特徴とする波形等化制御装置。

【請求項11】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、

前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、

前記誤差信号を2のべき乗の値を持つ量子化誤差信号に変換し出力する誤差量子化部と、

前記量子化誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、

ことを特徴とする波形等化制御装置。

【請求項12】 請求項11に記載の波形等化制御装置において、

前記誤差量子化部は、前記誤差信号を、2のべき乗のうち前記誤差信号と同符号でかつ絶対値が前記誤差信号以下の最大値を持つ量子化誤差信号に変換し出力する、

ことを特徴とする波形等化制御装置。

【請求項13】 請求項11に記載の波形等化制御装置において、

前記誤差量子化部は、前記誤差信号を、2のべき乗のうち前記誤差信号と同符号でかつ絶対値が前記誤差信号以上の最小値を持つ量子化誤差信号に変換し出力する、

ことを特徴とする波形等化制御装置。

【請求項14】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、

前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、

タップ係数更新に用いるデータを2のべき乗の値を持つ量子化データに変換し出力するデータ量子化部と、

前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、前記量子化データとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、

ことを特徴とする波形等化制御装置。

【請求項15】 請求項14に記載の波形等化制御装置において、
前記データ量子化部は、前記タップ係数更新用いるデータを、2のべき乗のうち前記タップ係数更新用いるデータと同符号でかつ絶対値が前記タップ係数更新用いるデータ以下の最大値を持つ量子化データに変換し出力する、
ことを特徴とする波形等化制御装置。

【請求項16】 請求項14に記載の波形等化制御装置において、

前記データ量子化部は、前記タップ係数更新用いるデータを、2のべき乗のうち前記タップ係数更新用いるデータと同符号でかつ絶対値が前記タップ係数更新用いるデータ以上の最小値を持つ量子化データに変換し出力する、

ことを特徴とする波形等化制御装置。

【請求項17】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、

前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、

前記タップ係数の更新のきざみであるステップサイズを2のべき乗の値を持つ量子化ステップサイズに変換し出力するステップサイズ量子化部と、

前記誤差信号と、前記量子化ステップサイズと、タップ係数更新用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、

ことを特徴とする波形等化制御装置。

【請求項18】 請求項17に記載の波形等化制御装置において、

前記ステップサイズ量子化部は、前記ステップサイズを、2のべき乗のうち、前記ステップサイズ以下の最大値を持つ量子化ステップサイズに変換し出力する、
ことを特徴とする波形等化制御装置。

【請求項19】 請求項17に記載の波形等化制御装置において、

前記ステップサイズ量子化部は、前記ステップサイズを、2のべき乗のうち、前記ステップサイズ以上の最小値を持つ量子化ステップサイズに変換し出力する、
ことを特徴とする波形等化制御装置。

【請求項20】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、

前記波形等化器の出力信号より該出力信号の誤差を推定し、推定した誤差のうち、前記出力信号の所定の範囲に対応する誤差を0とした誤差信号を出力する誤差推定部と、

前記誤差信号と、前記タップ係数の更新のきざみである

前記誤差信号を入力とし、前記係数更新量計算部がタップ係数更新量を複数シンボル間隔で計算するタイミングを制御する更新タイミング信号を出力する係数更新タイミング制御部とを備えた、

ことを特徴とする波形等化制御装置。

【請求項21】 請求項20に記載の波形等化制御装置において、

前記係数更新タイミング制御部は、前記係数更新量計算部がタップ係数更新量を計算するタイミングを、前回のタイミングから所定のシンボル間隔以上経過し、かつ前記誤差信号が0でない最初のシンボル時点に制御する、
ことを特徴とする波形等化制御装置。

【請求項22】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、

前記波形等化器の出力信号を入力として、出力誤差信号を出力する出力誤差推定部、及び前記出力誤差信号と前記出力信号とを入力とし、前記出力誤差信号の一部区間を一定割合で減じて、誤差信号を出力する係数更新用誤差生成部を有する誤差推定部と、

前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、

ことを特徴とする波形等化制御装置。

【請求項23】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、

前記波形等化器の出力信号を入力として、該出力信号に含まれる誤りの割合を示すエラー信号を生成する誤り率測定回路と、
前記波形等化器の出力信号を入力として、出力誤差信号を出力する出力誤差推定部、及び前記出力誤差信号と前記出力信号と前記エラー信号とを入力とし、誤差信号を出力する係数更新用誤差生成部を有する誤差推定部と、

前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、
ことを特徴とする波形等化制御装置。

【請求項24】 請求項23に記載の波形等化制御装置において、

前記係数更新用誤差生成部は、前記エラー信号により前記出力信号に含まれる誤りの割合が所定の割合より小さいことを検知した場合に、前記誤差信号として前記出力

ステップサイズと、タップ係数更新用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部と、

前記誤差信号を入力とし、前記係数更新量計算部がタップ係数更新量を複数シンボル間隔で計算するタイミングを制御する更新タイミング信号を出力する係数更新タイミング制御部とを備えた、

ことを特徴とする波形等化制御装置。

7

誤差信号と同じ値を出力する、
ことを特徴とする波形等化制御装置。

【請求項25】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、
前記波形等化器の出力信号より該出力信号の誤差を推定し、誤差信号を生成する誤差推定ステップと、
前記誤差信号に基づいて、前記タップ係数の更新のきざみであるステップサイズの上限値であるステップサイズ上限値以下、かつ該ステップサイズの下限値であるステップサイズ下限値以上の範囲でステップサイズを適応的に決定するステップサイズ決定ステップと、
前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算ステップとを備えた、
ことを特徴とする波形等化制御方法。

【請求項26】 請求項25に記載の波形等化制御方法において、

前記ステップサイズ決定ステップは、
前記誤差信号を2乗して2乗誤差を生成する乗算ステップと、
前回のタップ係数更新時に生成した2乗誤差と前記乗算ステップで生成した2乗誤差との差である2乗誤差の差を生成する減算ステップと、
前記2乗誤差と第1の閾値とを比較する第1の比較ステップと、
前記2乗誤差と第2の閾値とを比較する第2の比較ステップと、
前記2乗誤差の差の絶対値と第3の閾値とを比較する第3の比較ステップと、
前回のタップ係数更新時に使用したステップサイズと、前記第1の比較ステップでの比較結果と、前記第2の比較ステップでの比較結果と、前記第3の比較ステップでの比較結果と、前記ステップサイズ上限値と、前記ステップサイズ下限値に基づいて、今回のタップ係数更新に使用するステップサイズを生成するステップサイズ生成ステップとをさらに備えた、
ことを特徴とする波形等化制御方法。

【請求項27】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、

前記波形等化器の出力信号より該出力信号の誤差を推定し、誤差信号を生成するステップと、
前記出力信号に対する誤差推定の判定誤り確率の大小を判定し、判定信号を生成するステップと、
前記判定信号に基づいて、前記タップ係数の更新のきざみであるステップサイズを決定するステップと、
前記誤差信号と、前記ステップサイズと、タップ係数更

10

20

30

40

50

8

新に用いるデータとに基づいてタップ係数更新量を計算するステップとを備えた、
ことを特徴とする波形等化制御方法。

【請求項28】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、

前記波形等化器の出力信号より該出力信号の誤差を推定し、誤差信号を生成する誤差推定ステップと、
前記誤差信号と閾値と複数のステップサイズ設定値とにに基づいて、前記タップ係数の更新のきざみであるステップサイズを決定するステップサイズ決定ステップと、
前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算ステップとを備えた、
ことを特徴とする波形等化制御方法。

【請求項29】 請求項28に記載の波形等化制御方法において、

前記複数のステップサイズ設定値は、第1のステップサイズ設定値と、該第1のステップサイズ設定値より値の大きい第2のステップサイズ設定値であり、
前記ステップサイズ決定ステップは、
前記誤差信号の絶対値と前記閾値とを比較する比較ステップと、
前記比較ステップでの比較結果に基づいて、前記第1のステップサイズ設定値と、前記第2のステップサイズ設定値とのどちらかを前記ステップサイズとして選択する選択ステップとをさらに備えた、
ことを特徴とする波形等化制御方法。

【請求項30】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、

前記波形等化器の出力信号より該出力信号の誤差を推定し、推定した誤差のうち、前記出力信号の所定の範囲に対応する誤差を0とした誤差信号を生成する誤差推定ステップと、

前記誤差信号に基づいて、タップ係数更新量を複数シンボル間隔で計算するタイミングを制御する更新タイミング信号を生成する係数更新タイミング制御ステップと、
前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとにに基づいて、前記更新タイミング信号により制御されたタイミングでタップ係数更新量を計算する係数更新量計算ステップとを備えた、
ことを特徴とする波形等化制御方法。

【請求項31】 請求項30に記載の波形等化制御方法において、

前記係数更新タイミング制御ステップで、タップ係数更新量を計算するタイミングを、前回のタイミングから所

定のシンボル間隔以上経過し、かつ前記誤差信号が0でない最初のシンボル時点とする更新タイミング信号を生成する。

ことを特徴とする波形等化制御方法。

【請求項32】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、

前記波形等化器の出力信号より出力誤差を推定し、出力誤差信号を生成するステップと、

前記出力誤差信号と前記出力信号とに基づいて、前記出力誤差信号の一部区間を一定割合で減じた誤差信号を生成するステップと、

前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算するステップとを備えた。

ことを特徴とする波形等化制御方法。

【請求項33】 入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、

前記波形等化器の出力信号より出力誤差を推定し、出力誤差信号を生成する出力誤差推定ステップと、

前記波形等化器の出力信号に含まれる誤りの割合を示すエラー信号を生成するエラー信号生成ステップと、

前記出力誤差信号と前記出力信号と前記エラー信号とに基づいて、タップ係数更新に用いる誤差信号を生成する係数更新用誤差生成ステップと、

前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算ステップとを備えた。

ことを特徴とする波形等化制御方法。

【請求項34】 請求項33に記載の波形等化制御方法において、

前記係数更新用誤差生成ステップで、前記エラー信号により前記出力信号に含まれる誤りの割合が所定の割合よりも小さいことを検知した場合に、前記誤差信号として前記出力誤差信号と同じ値を生成する。

ことを特徴とする波形等化制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本発明は、波形等化制御装置、及び波形等化制御方法に関するものであり、特に、ディジタル放送に用いられるディジタル信号の伝送路歪みを低減する波形等化器のタップ係数の更新制御を行うものに関する。

【0003】

【従来の技術】

【0004】ディジタル放送は、当初衛星放送を主体に行われてきたが、近年では地上波放送もディジタル化の流れが押し寄せている。この地上波ディジタル放送において伝送路歪を低減する波形等化技術は必須なものである。以下、地上波ディジタル放送における従来の波形等化制御装置について、米国で採用されている8値VSB (Vestigial Side Band: 残留側波帯) 変調方式を用いたDTV (Digital Television) 方式を例に説明する。

【0005】図19は、DTV方式の波形等化制御装置の構成を示すブロック図である。図19において、従来の波形等化制御装置は、入力信号100Sを入力とし、波形等化処理を行った出力信号101Sを出力する波形等化器101と、出力信号101Sの誤差を推定し、誤差信号1901Sとして出力する誤差推定部1901と、ステップサイズ104S、係数更新に用いるデータ105S、及び誤差信号1901Sに基づいて、タップ係数更新量106Sを計算する係数更新量計算部103とを備える。誤差推定部1901は、さらに、出力信号101Sを入力として、出力誤差信号1501Sを出力する出力誤差推定部1502と、係数更新用誤差生成部1902とを備える。

【0006】図20は、DTV方式の信号フォーマットの構成を示す図である。図20に示すように、DTV方式の信号フォーマットは、映像や音声などのデータ信号3101を含む領域と、フィールド同期信号3102を含む領域と、セグメント同期信号3103を含む領域からなる。

【0007】図21は、フィールド同期信号の構成を示す図である。図21に示すようにフィールド同期信号3102は、PN511信号3201と、3つのPN63信号3202と、コントロール信号3203とを含む。なお、フィールド同期信号#2とフィールド同期信号#1との違いは、PN63信号3202の2番目の値が逆になっているだけの違いである。また、図21において、左側に記入している数値(+7, +5, +3, +1, -1, -3, -5, -7)は8値VSB変調方式の取る8通りの数値を示したものである。このDTV信号は、1フレームあたり832シンボル、313セグメントである。また、PN511信号3201は、 $PN511 = X^9 + X^7 + X^6 + X^4 + X^3 + X + 1$ (生成多項式: 式中の“^”はべき乗を表わす)で、Pre-load 010000000 (初期値のバイナリ表現)で表される。PN63信号3202は、 $PN63 = X^6 + X + 1$ で、Pre-load 100111で表される。PN511信号3201は511シンボル、PN63信号3202はそれぞれ63シンボル、コントロール信号3203は128シンボルであり、フィールド同期信号3102全体で828シンボルである。

40
30
20
10
50

11

【0008】次に、従来の波形等化制御装置の動作について図を用いて説明する。DTV方式の波形等化制御装置は、図19に示すように、8値VSB変調されたDTV信号を波形等化器101で波形等化により歪みを低減しその出力信号101Sを生成し、出力誤差推定部1502でこの出力信号101Sと8通りのシンボル値の最も確からしいシンボル値との誤差を出力誤差信号1501Sとして生成する。図22に示す出力誤差信号と誤差信号との関係を示す。図22(a)に示す出力誤差信号1501Sは、係数更新用誤差生成部1902で、Blind Equalization and Carrier Recovery Using a "Stop-and-Go", Decision-Directed Algorithm IEEE TRANSACTION S ON COMMUNICATIONS, VOL.COM35, NO.9, SEPTEMBER 198*

C_i(n+1) = C_i(n) - α × e(n) × d_i(n) … (式1)

【0010】ここで、 α はステップサイズ104Sを、e(n)は誤差信号1901Sを、d_i(n)は係数更新用データ105Sを示し、 $- \alpha \times e(n) \times d_i(n)$ がタップ係数更新量106Sを示す。なお、係数更新用データ105Sとは、n回目の更新時のタップ_iにおけるデータのことである。

【0011】出力誤差推定部1502による出力誤差信号1501Sの生成方法は2通りある。一方は、DTV信号におけるフィールド同期信号3102に含まれているPN511信号3201及びPN63信号3202を取り込み、前記PN511信号3201及びPN63信号3202の理想値と比較し、その誤差を出力誤差信号1501Sとする方法である。

【0012】また他方は、DTV信号のデータ期間に挿入されているデータ信号3101と最も値の近い8値VSB変調の固定値と比較し、その誤差を出力誤差信号1501Sとする方法である。

【0013】DTV信号は、8値VSB変調方式を用いているため、図21に示されるように8通りの値(+7, +5, +3, +1, -1, -3, -5, -7)を持つが、一般的に8値VSB変調されたDTV信号を受信する場合、10ビット程度の量子化を行う。例えば10ビットに量子化されたDTV信号は歪みが全くない場合において、10ビットで表現できる値(0ないし1023)に対して8通りの固定値しか取りえない。出力誤差推定部1502は、入力されたDTV信号のフィールド同期信号3102に対しては、PN511信号3201及びPN63信号3202の理想値からの誤差を算出し、また、データ信号3101に対しては、前記8通りの固定値からもっとも近い値との誤差を算出し、この誤差を出力誤差信号1501Sとする。

【0014】

【発明が解決しようとする課題】

【0015】従来の波形等化制御装置は上記のように構成されており、該波形等化制御装置を用いることにより、波形等化器を制御し、歪みを低減したDTV信号を

12

* 7のpp.877-887に記載されているStop&Goアルゴリズムに基づき出力信号101Sの値に応じて図22(b)に示すように誤差信号1901Sに変換される。係数更新量計算部103は、誤差信号1901Sとステップサイズ104Sと、係数更新用データ105Sとを用いて、LMS(Least Mean Square; 最小2乗誤差)アルゴリズムに基づきタップ係数更新量106Sを生成する。

【0009】LMSアルゴリズムは、下記の(式1)に基づいて波形等化器101のトランスバーサルフィルタにおけるタップ_iのタップ係数C_iのn回目の更新を行なうアルゴリズムである。

$$C_i(n+1) = C_i(n) - \alpha \times e(n) \times d_i(n) \quad \dots \text{(式1)}$$

得ることができる。即ち、入力信号の伝送路歪みを推定し、これを相殺するように、波形等化器が有するトランスバーサルフィルタのタップ係数を、毎回ステップサイズのきざみで更新するように学習制御を行うことにより、波形等化器の出力信号として、伝送路歪みを低減した信号を得ることができる。しかしながら、従来の波形等化制御装置には、以下に示す問題点がある。

【0016】第1の問題点は、タップ係数の更新きざみであるステップサイズが固定であることである。一般にステップサイズを大きくすると歪みが変動した場合の追従性や、初期動作時の収束速度が向上するが、反面、ノイズの影響を受けやすくなり低C/N時の安定性が低下する。逆に、ステップサイズを小さくすると、ノイズの影響を受けにくくなり、低C/N時の安定性は向上するが、歪みが変動した場合のその変動に対する追従性や、初期動作時の波形等化動作の収束速度が低下する。

【0017】第2の問題点は、1タップの係数更新量を計算するために係数更新量計算部に2個の乗算器が必要であり、回路規模が大きいという点である。

【0018】第3の問題点は、Stop&GoアルゴリズムではStopと判定された場合、次のイタレーション(タップ係数の更新)まで係数更新量計算部の出力は"0"となり係数更新量計算部が有効利用されず、かつ、歪みが変動した場合の追従性や初期動作時の収束速度が低下するという点である。

【0019】本発明は、かかる問題点に鑑みてなされたものであり、信号の歪みが変動した場合の追従性や初期動作時の収束速度と低C/N時の安定性とを両立させ、高性能かつ低コストな波形等化制御装置、及び波形等化制御方法を提供することを目的としている。

【0020】

【課題を解決するための手段】

【0021】上記目的を達成するため、本発明の請求項1に係る波形等化制御装置は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新

を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定期と、前記誤差信号と前記タップ係数の更新のきざみであるステップサイズの上限値と下限値であるステップサイズ上限値及びステップサイズ下限値を入力とし、該ステップサイズ上限値以下かつ該ステップサイズ下限値以上の範囲で該誤差信号に応じた大きさのステップサイズを適応的に生成し、出力するステップサイズ決定部と、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とするものである。

【0022】また、本発明の請求項2に係る波形等化制御装置は、請求項1に記載の波形等化制御装置において、前記ステップサイズ決定部は、前記誤差信号を2乗して2乗誤差を生成する乗算器と、前回のタップ係数更新時に生成した2乗誤差を記憶する2乗誤差記憶部と、前記乗算器の出力する2乗誤差と前記2乗誤差記憶部の記憶する前回のタップ係数更新時に生成した2乗誤差との差である2乗誤差の差を生成する減算器と、前記2乗誤差と第1の閾値とを比較する第1の比較器と、前記2乗誤差と第2の閾値とを比較する第2の比較器と、前記2乗誤差の差の絶対値と第3の閾値とを比較する第3の比較器と、前回のタップ係数更新時に使用したステップサイズを記憶するステップサイズ記憶部と、前記ステップサイズ記憶部が記憶しているステップサイズと、前記第1の比較器の出力と、前記第2の比較器の出力と、前記第3の比較器の出力と、前記ステップサイズ上限値と、前記ステップサイズ下限値と、を入力とし、今回のタップ係数更新に使用するステップサイズを生成するステップサイズ増減部とを備えた、ことを特徴とするものである。

【0023】また、本発明の請求項3に係る波形等化制御装置は、請求項2に記載の波形等化制御装置において、前記第2の閾値は、前記2乗誤差がその値よりも大きければ、前記波形等化器の波形等化動作が発散傾向となる値であり、前記第1の閾値は、前記2乗誤差がその値よりも小さければ、前記波形等化器の波形等化動作が収束中か、収束完了かのどちらかの状態となる値であり、前記第3の閾値は、前記2乗誤差が、前記第1の閾値よりも小さい場合に、前記2乗誤差の差の絶対値が前記第3の閾値よりも大きければ、前記波形等化器の波形等化動作が収束中の状態となる値であり、前記第3の閾値以下であれば、前記波形等化器の波形等化動作が収束完了の状態となる値であり、前記ステップサイズ増減部は、前記第1ないし第3の比較器の比較結果より、2乗誤差が第2の閾値より大きい場合は、ステップサイズを一定量減少させ、前記2乗誤差が第1の閾値より小さく、かつ前記2乗誤差の差の絶対値が第3の閾値以下である場合は、ステップサイズを一定量減少させ、前記2

乗誤差が第1の閾値よりも小さく、かつ前記2乗誤差の差の絶対値が第3の閾値よりも大きい場合は、ステップサイズを一定量増加させ、それ以外の場合はステップサイズを変化させない、ことを特徴とするものである。

【0024】また、本発明の請求項4に係る波形等化制御装置は、請求項2に記載の波形等化制御装置において、前記第2の閾値は、前記2乗誤差がその値よりも大きければ、前記波形等化器の波形等化動作が発散傾向となる値であり、前記第1の閾値は、前記2乗誤差がその値よりも小さければ、前記波形等化器の波形等化動作が収束中か、収束完了かのどちらかの状態となる値であり、前記第3の閾値は、前記2乗誤差が、前記第1の閾値よりも小さい場合に、前記2乗誤差の差の絶対値が前記第3の閾値よりも大きければ、前記波形等化器の波形等化動作が収束中の状態となる値であり、前記第3の閾値以下であれば、前記波形等化器の波形等化動作が収束完了の状態となる値であり、前記ステップサイズ増減部は、前記第1ないし第3の比較器の比較結果より、2乗誤差が第2の閾値より大きい場合は、ステップサイズを一定割合減少させ、前記2乗誤差が第1の閾値より小さく、かつ前記2乗誤差の差の絶対値が第3の閾値以下である場合は、ステップサイズを一定割合減少させ、前記2乗誤差が第1の閾値よりも小さく、かつ前記2乗誤差の差の絶対値が第3の閾値よりも大きい場合は、ステップサイズを一定割合増加させ、それ以外の場合は、ステップサイズを変化させない、ことを特徴とするものである。

【0025】また、本発明の請求項5に係る波形等化制御装置は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定期と、前記出力信号に対する誤差推定の判定誤り確率の大小を判定し、判定信号を出力する信号判定部と、前記判定信号を入力とし、前記タップ係数の更新のきざみであるステップサイズとして該判定信号に応じた大きさの値を出力するステップサイズ決定部と、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とするものである。

【0026】また、本発明の請求項6に係る波形等化制御装置は、請求項5に記載の波形等化制御装置において、前記信号判定部は、前記出力信号が既知であることを示す場合と、前記出力信号の判定誤りの確率が小さいことを示す場合と、前記出力信号の判定誤りの確率が大きいことを示す場合と、の3通りの判定信号を出力する、ことを特徴とするものである。

【0027】また、本発明の請求項7に係る波形等化制御装置は、請求項6に記載の波形等化制御装置において

て、前記ステップサイズ決定部は、前記判定信号が前記出力信号が既知であることを示す場合は、第1のステップサイズ設定値を前記ステップサイズとして出力し、前記出力信号の判定誤りの確率が小さいことを示す場合は、前記第1のステップサイズ設定値より小さな値である第2のステップサイズ設定値を出力し、前記出力信号の判定誤りの確率が大きいことを示す場合は、前記第2のステップサイズ設定値より小さな値である第3のステップサイズ設定値を出力する、ことを特徴とするものである。

【0028】また、本発明の請求項8に係る波形等化制御装置は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、前記誤差信号と閾値と複数のステップサイズ設定値とを入力とし、前記タップ係数の更新のきざみであるステップサイズを決定するステップサイズ決定部と、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とするものである。

【0029】また、本発明の請求項9に係る波形等化制御装置は、請求項8に記載の波形等化制御装置において、前記複数のステップサイズ設定値は、第1のステップサイズ設定値と、該第1のステップサイズ設定値より値の大きい第2のステップサイズ設定値であり、前記ステップサイズ決定部は、前記誤差信号の絶対値と前記閾値とを比較する比較器と、前記比較器から出力される比較結果より、前記第1のステップサイズ設定値と、前記第2のステップサイズ設定値のどちらかを選択して、前記ステップサイズとして出力するセレクタとを備えた、ことを特徴とするものである。

【0030】また、本発明の請求項10に係る波形等化制御装置は、請求項9に記載の波形等化制御装置において、前記閾値は、前記誤差信号の絶対値が該閾値以下のときに前記波形等化器がほぼ収束した状態となる値であり、前記ステップサイズ決定部は、前記誤差信号の絶対値が前記閾値以下の場合に、前記第1のステップサイズ設定値を前記ステップサイズとして出力し、前記誤差信号の絶対値が前記閾値を超える場合に、前記第2のステップサイズ設定値を前記ステップサイズとして出力する、ことを特徴とするものである。

【0031】また、本発明の請求項11に係る波形等化制御装置は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推

定部と、前記誤差信号を2のべき乗の値を持つ量子化誤差信号に変換し出力する誤差量子化部と、前記量子化誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とするものである。

【0032】また、本発明の請求項12に係る波形等化制御装置は、請求項11に記載の波形等化制御装置において、前記誤差量子化部は、前記誤差信号を、2のべき乗のうち前記誤差信号と同符号でかつ絶対値が前記誤差信号以下の最大値を持つ量子化誤差信号に変換し出力する、ことを特徴とするものである。

【0033】また、本発明の請求項13に係る波形等化制御装置は、請求項11に記載の波形等化制御装置において、前記誤差量子化部は、前記誤差信号を、2のべき乗のうち前記誤差信号と同符号でかつ絶対値が前記誤差信号以上の最小値を持つ量子化誤差信号に変換し出力する、ことを特徴とするものである。

【0034】また、本発明の請求項14に係る波形等化制御装置は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、タップ係数更新に用いるデータを2のべき乗の値を持つ量子化データに変換し出力するデータ量子化部と、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、前記量子化データとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とするものである。

【0035】また、本発明の請求項15に係る波形等化制御装置は、請求項14に記載の波形等化制御装置において、前記データ量子化部は、前記タップ係数更新に用いるデータを、2のべき乗のうち前記タップ係数更新に用いるデータと同符号でかつ絶対値が前記タップ係数更新に用いるデータ以下の最大値を持つ量子化データに変換し出力する、ことを特徴とするものである。

【0036】また、本発明の請求項16に係る波形等化制御装置は、請求項14に記載の波形等化制御装置において、前記データ量子化部は、前記タップ係数更新に用いるデータを、2のべき乗のうち前記タップ係数更新に用いるデータと同符号でかつ絶対値が前記タップ係数更新に用いるデータ以上の最小値を持つ量子化データに変換し出力する、ことを特徴とするものである。

【0037】また、本発明の請求項17に係る波形等化制御装置は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推

定部と、前記タップ係数の更新のきざみであるステップサイズを2のべき乗の値を持つ量子化ステップサイズに変換し出力するステップサイズ量子化部と、前記誤差信号と、前記量子化ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とするものである。

【0038】また、本発明の請求項18に係る波形等化制御装置は、請求項17に記載の波形等化制御装置において、前記ステップサイズ量子化部は、前記ステップサイズを、2のべき乗のうち、前記ステップサイズ以下の最大値を持つ量子化ステップサイズに変換し出力する、ことを特徴とするものである。

【0039】また、本発明の請求項19に係る波形等化制御装置は、請求項17に記載の波形等化制御装置において、前記ステップサイズ量子化部は、前記ステップサイズを、2のべき乗のうち、前記ステップサイズ以上の最小値を持つ量子化ステップサイズに変換し出力する、ことを特徴とするものである。

【0040】また、本発明の請求項20に係る波形等化制御装置は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し、推定した誤差のうち、前記出力信号の所定の範囲に対応する誤差を0とした誤差信号を出力する誤差推定部と、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部と、前記誤差信号を入力とし、前記係数更新量計算部がタップ係数更新量を複数シンボル間隔で計算するタイミングを制御する更新タイミング信号を出力する係数更新タイミング制御部とを備えた、ことを特徴とするものである。

【0041】また、本発明の請求項21に係る波形等化制御装置は、請求項20に記載の波形等化制御装置において、前記係数更新タイミング制御部は、前記係数更新量計算部がタップ係数更新量を計算するタイミングを、前回のタイミングから所定のシンボル間隔以上経過し、かつ前記誤差信号が0でない最初のシンボル時点に制御する、ことを特徴とするものである。

【0042】また、本発明の請求項22に係る波形等化制御装置は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号を入力として、出力誤差信号を出力する出力誤差推定部、及び前記出力誤差信号と前記出力信号とを入力とし、前記出力誤差信号の一部区間を一定割合で減じて、誤差信号を出力する係数更新用誤差生成部を有する誤差推定部と、

前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とするものである。

【0043】また、本発明の請求項23に係る波形等化制御装置は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号を入力として、該出力信号に含まれる誤りの割合を示すエラー信号を生成する誤り率測定回路と、前記波形等化器の出力信号を入力として、出力誤差信号を出力する出力誤差推定部、及び前記出力誤差信号と前記出力信号と前記エラー信号とを入力とし、誤差信号を出力する係数更新用誤差生成部を有する誤差推定部と、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えた、ことを特徴とするものである。

【0044】また、本発明の請求項24に係る波形等化制御装置は、請求項23に記載の波形等化制御装置において、前記係数更新用誤差生成部は、前記エラー信号により前記出力信号に含まれる誤りの割合が所定の割合より小さいことを検知した場合に、前記誤差信号として前記出力誤差信号と同じ値を出力する、ことを特徴とするものである。

【0045】また、本発明の請求項25に係る波形等化制御方法は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より該出力信号の誤差を推定し、誤差信号を生成する誤差推定ステップと、前記誤差信号に基づいて、前記タップ係数の更新のきざみであるステップサイズの上限値であるステップサイズ上限値以下、かつ該ステップサイズの下限値であるステップサイズ下限値以上の範囲でステップサイズを適応的に決定するステップサイズ決定ステップと、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算ステップとを備えたことを特徴とするものである。

【0046】また、本発明の請求項26に係る波形等化制御方法は、請求項25に記載の波形等化制御方法において、前記ステップサイズ決定ステップは、前記誤差信号を2乗して2乗誤差を生成する乗算ステップと、前回のタップ係数更新時に生成した2乗誤差と前記乗算ステップで生成した2乗誤差との差である2乗誤差の差を生成する減算ステップと、前記2乗誤差と第1の閾値とを比較する第1の比較ステップと、前記2乗誤差と第2の閾値とを比較する第2の比較ステップと、前記2乗誤差の差の絶対値と第3の閾値とを比較する第3の比較ステ

ップと、前回のタップ係数更新時に使用したステップサイズと、前記第1の比較ステップでの比較結果と、前記第2の比較ステップでの比較結果と、前記第3の比較ステップでの比較結果と、前記ステップサイズ上限値と、前記ステップサイズ下限値とに基づいて、今回のタップ係数更新に使用するステップサイズを生成するステップサイズ生成ステップとをさらに備えたことを特徴とするものである。

【0047】また、本発明の請求項27に係る波形等化制御方法は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より該出力信号の誤差を推定し、誤差信号を生成するステップと、前記出力信号に対する誤差推定の判定誤り確率の大小を判定し、判定信号を生成するステップと、前記判定信号に基づいて、前記タップ係数の更新のきざみであるステップサイズを決定するステップと、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算するステップとを備えたことを特徴とするものである。

【0048】また、本発明の請求項28に係る波形等化制御方法は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より該出力信号の誤差を推定し、誤差信号を生成する誤差推定ステップと、前記誤差信号と閾値と複数のステップサイズ設定値とに基づいて、前記タップ係数の更新のきざみであるステップサイズを決定するステップサイズ決定ステップと、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算ステップとを備えたことを特徴とするものである。

【0049】また、本発明の請求項29に係る波形等化制御方法は、請求項28に記載の波形等化制御方法において、前記複数のステップサイズ設定値は、第1のステップサイズ設定値と、該第1のステップサイズ設定値より値の大きい第2のステップサイズ設定値であり、前記ステップサイズ決定ステップは、前記誤差信号の絶対値と前記閾値とを比較する比較ステップと、前記比較ステップでの比較結果に基づいて、前記第1のステップサイズ設定値と、前記第2のステップサイズ設定値とのどちらかを前記ステップサイズとして選択する選択ステップとをさらに備えたことを特徴とするものである。

【0050】また、本発明の請求項30に係る波形等化制御方法は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より該出力信号の誤差を推定

し、推定した誤差のうち、前記出力信号の所定の範囲に對応する誤差を0とした誤差信号を生成する誤差推定ステップと、前記誤差信号に基づいて、タップ係数更新量を複数シンボル間隔で計算するタイミングを制御する更新タイミング信号を生成する係数更新タイミング制御ステップと、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいて、前記更新タイミング信号により制御されたタイミングでタップ係数更新量を計算する係数更新量計算ステップとを備えたことを特徴とするものである。

【0051】また、本発明の請求項31に係る波形等化制御方法は、請求項30に記載の波形等化制御方法において、前記係数更新タイミング制御ステップで、タップ係数更新量を計算するタイミングを、前回のタイミングから所定のシンボル間隔以上経過し、かつ前記誤差信号が0でない最初のシンボル時点とする更新タイミング信号を生成することを特徴とするものである。

【0052】また、本発明の請求項32に係る波形等化制御方法は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より出力誤差を推定し、出力誤差信号を生成するステップと、前記出力誤差信号と前記出力信号とに基づいて、前記出力誤差信号の一部区間を一定割合で減じた誤差信号を生成するステップと、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算するステップとを備えたことを特徴とするものである。

【0053】また、本発明の請求項33に係る波形等化制御方法は、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より出力誤差を推定し、出力誤差信号を生成する出力誤差推定ステップと、前記波形等化器の出力信号に含まれる誤りの割合を示すエラー信号を生成するエラー信号生成ステップと、前記出力誤差信号と前記出力信号と前記エラー信号とに基づいて、タップ係数更新に用いる誤差信号を生成する係数更新用誤差生成ステップと、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算ステップとを備えたことを特徴とするものである。

【0054】また、本発明の請求項34に係る波形等化制御方法は、請求項33に記載の波形等化制御方法において、前記係数更新用誤差生成ステップで、前記エラー信号により前記出力信号に含まれる誤りの割合が所定の割合より小さいことを検知した場合に、前記誤差信号と

21

して前記出力誤差信号と同じ値を生成することを特徴とするものである。

【0055】

【発明の実施の形態】

【0056】以下、本発明の実施の形態に係る波形等化制御装置、及び波形等化制御方法について、図面を参照しながら説明する。

(実施の形態1) 本発明の実施の形態1による波形等化制御装置の構成について図を用いて説明する。図1は、本実施の形態1による波形等化制御装置の構成を示すブロック図である。図1において、本実施の形態1による波形等化制御装置は、入力信号100Sの伝送路歪みを、LMSアルゴリズムに基づいて低減した出力信号101Sを出力する波形等化器101と、出力信号101Sの誤差を推定し、誤差信号102Sとして出力する誤差推定部102と、誤差信号102S、ステップサイズ104S、及び係数更新に用いるデータ105Sに基づいて、タップ係数更新量106Sを計算する係数更新量計算部103と、誤差信号102S、ステップサイズ上限値107S、及びステップサイズ下限値108Sを入力とし、ステップサイズ104Sを生成して出力するステップサイズ決定部104とを備える。

【0057】図2は、本実施の形態1による波形等化制御装置が具備するステップサイズ決定部104の構成を示すブロック図である。図2において、ステップサイズ決定部104は、誤差信号102Sを2乗して2乗誤差201Sを生成する乗算器201と、2乗誤差201Sを記憶する2乗誤差記憶部202と、乗算器201の出力である2乗誤差201Sと2乗誤差記憶部202の記憶する2乗誤差との差を計算し、それを2乗誤差の差202Sとして出力する減算器203と、2乗誤差201Sと第1の閾値とを比較する第1の比較器204と、2乗誤差201Sと第2の閾値とを比較する第2の比較器205と、2乗誤差の差202Sの絶対値と第3の閾値とを比較する第3の比較器206と、ステップサイズを記憶するステップサイズ記憶部207と、ステップサイズ増減部208とを備える。

【0058】次に、本実施の形態1による波形等化制御装置の動作について図を用いて説明する。図23は、本実施の形態1による波形等化制御装置の動作を示すフローチャートである。まず、伝送路からの信号は、図示しないチューナと、検波器とを介して、入力信号100Sとして波形等化器101に入力される。誤差推定部102は、波形等化器101から出力された出力信号101Sに基づいてタップ係数更新に用いるための誤差を推定し、該推定した誤差に基づいて誤差信号102Sを生成し、出力する(ステップS101)。なお、誤差推定部102は、従来例の出力誤差推定部1502のように、出力信号101Sが一つの値しかとらないものである場合は、その値の理想値と出力信号101Sとの差を誤差

22

と推定し、その誤差の大きさに対応した誤差信号102Sを生成し、出力する。一方、出力信号101Sが多値をとる信号である場合は、その多値の理想値のうち、出力信号101Sに最も近い理想値と出力信号101Sとの差を誤差と推定し、その誤差の大きさに対応した誤差信号102Sを生成し、出力する。但し、本実施の形態1における入力信号100Sは、D.T.V信号に限定されるものではない。

【0059】ステップサイズ決定部104は、誤差信号102Sと、ステップサイズの上限を決定する値であるステップサイズ上限値107Sと、ステップサイズの下限を決定する値であるステップサイズ下限値108Sとを入力とし、ステップサイズ下限値108S以上かつステップサイズ上限値107S以下の範囲内で、誤差信号102Sに応じて値を変化させたステップサイズ104Sを決定し、出力する(ステップS102)。係数更新量計算部103は、誤差信号102Sとステップサイズ104Sとデータ105Sとを入力とし、前述の(式1)の右辺第2項で示されるように、これらの乗算を行なって、タップ係数更新量106Sを出力する(ステップS103)。そして、タップ係数更新量106Sは、波形等化器101において、(式1)で示されるタップ係数の更新のために用いられる。なお、ステップS101～S103の処理と、波形等化器101におけるタップ係数の更新とは、波形等化器101での波形等化処理が行われる限り繰り返される。

【0060】ここで、係数更新に用いられるデータ105Sとしては、波形等化器101の有する図示しないデータFIFOに格納されているデータを用いる。なお、係数更新用のデータ105Sを格納するFIFOを、波形等化制御装置が別途備えていてもよい。また、ステップサイズの上限値107Sや、ステップサイズの下限値108Sとしては、波形等化制御装置の備える図示しないレジスタに予め格納された値が用いられる。

【0061】次に、ステップサイズ決定部104の動作について説明する。図24は、本実施の形態1によるステップサイズ決定部104の動作を示すフローチャートである。乗算器201は誤差信号102Sを2乗し、2乗誤差201Sを生成する(ステップS201)。2乗誤差記憶部202は前回の係数更新時の2乗誤差を記憶している。減算器203は2乗誤差201Sと、前記前回の係数更新時の2乗誤差との差を計算し、それを2乗誤差の差202Sとして出力する(ステップS202)。2乗誤差記憶部202は今回の2乗誤差201Sを記憶する。第1の比較器204は2乗誤差201Sと第1の閾値を比較する(ステップS203)。第2の比較器205は2乗誤差201Sと第2の閾値を比較する(ステップS204)。第3の比較器206は2乗誤差の差202Sの絶対値と第3の閾値を比較する(ステップS205)。ステップサイズ増減部208には、第1

の比較器204の比較結果と第2の比較器205の比較結果と第3の比較器206の比較結果とステップサイズ記憶部207が記憶している前記前回の係数更新時のステップサイズとステップサイズ上限値107Sとステップサイズ下限値108Sが入力される。

【0062】ここで、第2の閾値は、2乗誤差201Sがその値よりも大きければ、波形等化器101における伝送路歪みを軽減する波形等化動作が制御不能な状態である発散傾向となる値である。また、第1の閾値は、2乗誤差201Sがその値よりも小さければ、波形等化器101における波形等化動作が収束中か、収束完了かのどちらかの状態となる値である。また、第3の閾値は、2乗誤差201Sが第1の閾値よりも小さい場合に、2乗誤差の差202Sの絶対値が第3の閾値以上であれば、波形等化器101における波形等化動作が収束中の状態となる値であり、第3の閾値以下であれば、波形等化器101における波形等化動作が収束完了の状態となる値である。

【0063】実際には、これら第1ないし第3の閾値はシミュレーションにより大体の値が設定され、さらに、最終的には実動作の結果を検討することにより、設計者の判断でそれぞれ設定される。即ち、第2の閾値は、2乗誤差201Sがその値よりも大きければ、波形等化器101における波形等化動作が発散傾向にあると、設計者により判断される値に設定される。また、第1の閾値は、2乗誤差201Sがその値よりも小さければ、波形等化器101における波形等化動作が収束中か、収束完了かのどちらかであると、設計者により判断される値に設定される。また、第3の閾値は、2乗誤差201Sが、第1の閾値よりも小さい場合に、2乗誤差の差202Sの絶対値が第3の閾値以上であれば、波形等化器101における波形等化動作が収束中であると、設計者により判断され、第3の閾値以下であれば、波形等化器101における波形等化動作が収束完了であると、設計者により判断される値に設定される。

【0064】次に、ステップサイズ増減部208の動作について図を用いて説明する。図3は、本実施の形態1による波形等化制御装置のステップサイズ増減部208の動作を説明するための説明図である。まず、図3において、2乗誤差201Sが領域1の範囲にある場合、すなわち、第2の比較器205により2乗誤差201Sが第2の閾値よりも大きいと判定された場合には、波形等化器101は発散傾向にあると判断されるので、ステップサイズ増減部208は、ステップサイズ記憶部207に記憶された前回のステップサイズから一定量減少させた新しいステップサイズを求める。

【0065】また、2乗誤差201Sが領域2の範囲にある場合、すなわち、第1の比較器204及び第2の比較器205により2乗誤差201Sが第1の閾値以上かつ第2の閾値以下であると判定された場合には、波形等

化器101は安定に動作中であると判断されるので、ステップサイズ増減部208は、ステップサイズ記憶部207に記憶された前回のステップサイズと同一のステップサイズを新しいステップサイズとする。

【0066】また、2乗誤差201S及び2乗誤差の差202Sが領域3、または領域5の範囲にある場合、すなわち、第1の比較器204により2乗誤差201Sが第1の閾値よりも小さいと判定され、さらに第3の比較器206により2乗誤差の差202Sの絶対値が第3の閾値以上であると判定された場合には、波形等化器101は収束中であると判断されるので、さらに収束速度を速めるためにステップサイズ増減部208は、ステップサイズ記憶部207に記憶された前回のステップサイズから一定量増加させた新しいステップサイズを求める。ここで、領域5の範囲においてステップサイズを増加させるのは、ダイナミックゴースト、すなわち、時間的に変化するゴーストにも適切に対応するためである。

【0067】また、2乗誤差201S及び2乗誤差の差202Sが領域4の範囲にある場合、すなわち、第1の比較器204及び第3の比較器206により2乗誤差201Sが第1の閾値よりも小さく、かつ、2乗誤差の差202Sの絶対値が第3の閾値以下であると判定された場合には、波形等化器101はほぼ収束が完了したと判断されるので、低C/N時の安定性を確保するために、ステップサイズ増減部208は、ステップサイズ記憶部207に記憶された前回のステップサイズから一定量減少させた新しいステップサイズを求める。

【0068】さらに、ステップサイズ増減部208は、新しいステップサイズがステップサイズ上限値107S以上の場合には、ステップサイズ上限値107Sをステップサイズ104Sとして出力し、新しいステップサイズがステップサイズ下限値108S以下の場合には、ステップサイズ下限値108Sをステップサイズ104Sとして出力し、それ以外の場合は新しいステップサイズをステップサイズ104Sとして出力する(ステップS206)。

【0069】このように、本実施の形態1による波形等化制御装置、及び波形等化制御方法によれば、2乗誤差201Sと、2乗誤差の差202Sとにより、波形等化器101の状態を判断して、それに応じて適切なステップサイズ104Sを増減して求めるステップサイズ決定部104を備えたことで、収束速度が速く、かつ低C/N時の安定性も高い波形等化制御装置を実現できるという効果を有する。

【0070】なお、本実施の形態1では、ステップサイズの増減の指標として2乗誤差を用いたが、ステップサイズの増減の指標は2乗誤差だけに限定されるものではなく、誤差のn乗(nは1、または3以上の整数)でも同様の機能が達成できる。ここで、nが奇数のときには、誤差のn乗の絶対値をn乗誤差として、第1及び第

2の比較器204、205などで用いるとする。
【0071】また、本実施の形態1では、ステップサイズ増減部208がステップサイズを増減する場合には、前回のステップサイズに対して所定量を加減することにより行うとしたが、ステップサイズの増減はこれに限定されるものではなく、ステップサイズを増加させる場合には、前回のステップサイズに1より大きい所定の値、例えば、1.1を掛け、あるいは、ステップサイズを減少させる場合には、前回のステップサイズに1より小さい所定の値、例えば、0.9を掛けるというように、前回のステップサイズを所定の割合で増減させることにより行ってよい。

【0072】(実施の形態2) 本発明の実施の形態2による波形等化制御装置の構成について図を用いて説明する。図4は、本実施の形態2による波形等化制御装置の構成を示すブロック図である。図4において、本実施の形態2による波形等化制御装置は、入力信号100Sの伝送路歪みを、LMSアルゴリズムに基づいて低減した出力信号101Sを出力する波形等化器101と、出力信号101Sの誤差を推定し、誤差信号102Sとして出力する誤差推定部102と、誤差信号102S、ステップサイズ104S、及び係数更新に用いるデータ105Sに基づいて、タップ係数更新量106Sを計算する係数更新量計算部103と、判定信号401Sを出力する信号判定部401と、判定信号401Sに応じたステップサイズ104Sを出力するステップサイズ決定部402とを備える。

【0073】次に、本実施の形態2による波形等化制御装置の動作について図を用いて説明する。図25は、本実施の形態2による波形等化制御装置の動作を示すフローチャートである。誤差推定部102は、出力信号101Sからタップ係数更新に用いるために誤差を推定し、該推定した誤差に基づいて誤差信号102Sを生成し、出力する(ステップS301)。信号判定部401は、入力信号100Sに含まれる同期信号から、出力信号101Sの信号内容の種類を判定し、出力信号101Sに対する誤差推定部102の誤差の判定誤り確率の大小を判定信号401Sとして生成し、出力する(ステップS302)。

【0074】以下、波形等化器101の入力がDTV信号である場合を例にとって説明する。図5に、判定信号401Sと出力信号101Sとの関係を示している。図20、図21において、セグメント同期信号3103、及びフィールド同期中のPN511信号3201、及びPN63信号3202は予めシンボル値がわかっているため出力信号101Sに対する誤差推定部102の誤差の判定誤りは発生しない。この場合は、誤差信号102Sは常に正しい値を示すので、信号判定部401は、判定信号401Sとして“0”を出力する。コントロール信号3203は、8値のDTV信号にあって、2値しか

とり得ないため出力信号101Sに対する誤差推定部102の誤差の判定誤りが発生する確率は低い。この場合は、誤差信号102Sはほぼ正しい値を示すので、信号判定部401は、判定信号401Sとして“1”を出力する。それ以外の信号は8値のDTV信号にあって、8値全てを取り得るため出力信号101Sに対する誤差推定部102の誤差の判定誤りが発生する確率は高い。この場合は、誤差信号102Sは正しい値を示す確率が低くなるため、信号判定部401は、判定信号401Sとして“2”を出力する。

【0075】ステップサイズ決定部402は、判定信号401Sの値によってあらかじめ設定されている3種類のステップサイズから選択して、ステップサイズ104Sを出力する。判定信号401Sが“0”的場合、最も大きなステップサイズを、判定信号401Sが“1”的場合、2番目に大きなステップサイズを、判定信号401Sが“2”的場合、最も小さなステップサイズを、ステップサイズ104Sとして出力する(ステップS303)。係数更新量計算部103は、誤差信号102Sとステップサイズ104Sとデータ105Sとを入力し、それらの乗算を行なって、タップ係数更新量106Sを出力する(ステップS304)。そして、タップ係数更新量106Sは、波形等化器101において、(式1)で示されるタップ係数の更新のために用いられる。なお、ステップS301～S304の処理と、波形等化器101におけるタップ係数の更新とは、波形等化器101での波形等化処理が行われる限り繰り返される。

【0076】このように、本実施の形態2による波形等化制御装置、及び波形等化制御方法によれば、出力信号101Sに対する誤差推定部102の誤差の判定誤りが発生する確率に応じた判定信号401Sを出力する信号判定部401と、判定信号401Sに対応したあらかじめ設定されたステップサイズを出力するステップサイズ決定部402とを備えたことで、出力信号101Sに対する誤差推定の判定誤り確率に応じてステップサイズ104Sの値を切換えることができ、誤差信号102Sが正しい場合にはタップ係数更新量106Sが大きくなるため、収束速度を向上させることができ、収束速度が速く、かつ低C/N時の安定性も高い波形等化制御装置を実現できるという効果を有する。

【0077】なお、本実施の形態2では、入力信号100SがDTV信号である場合について説明したが、入力はDTV信号だけに限られるものではない。また、判定信号401Sを3段階に設定したが、これに限るものではなく2段階でも4段階以上でもよい。また、判定信号401Sの信号値も“0”、“1”、“2”に限られるものではない。さらに、選択されるステップサイズ104Sも3通りに限られるものではなく、2通りでも4通り以上でもよい。

【0078】また、本実施の形態2では、信号判定部4

01が入力信号100Sに含まれる同期信号を用いて判定信号401Sを生成する場合について説明したが、信号判定部401は、出力信号101Sに含まれる同期信号を用いて判定信号401Sを生成してもよい。

【0079】(実施の形態3)本発明の実施の形態3による波形等化制御装置の構成について図を用いて説明する。図6は、本実施の形態3による波形等化制御装置の構成を示すブロック図である。図6において、本実施の形態3による波形等化制御装置は、入力信号100Sの伝送路歪みを、LMSアルゴリズムに基づいて低減した出力信号101Sを出力する波形等化器101と、出力信号101Sの誤差を推定し、誤差信号102Sとして出力する誤差推定部102と、誤差信号102S、ステップサイズ104S、及び係数更新に用いるデータ105Sに基づいて、タップ係数更新量106Sを計算する係数更新量計算部103と、誤差信号102S、閾値601S、第1のステップサイズ設定値602S、及び第2のステップサイズ設定値603Sを入力とし、ステップサイズ104Sを生成して出力するステップサイズ決定部601とを備える。ステップサイズ決定部601は、さらに、比較器602と、セレクタ603とを備える。

【0080】次に、本実施の形態3による波形等化制御装置の動作について図を用いて説明する。図26は、本実施の形態3による波形等化制御装置の動作を示すフローチャートである。

【0081】波形等化器101から出力された出力信号101Sに基づいて誤差推定部102はタップ係数更新に用いるために誤差を推定し、該推定した誤差を誤差信号102Sとして出力する(ステップS401)。比較器602は、誤差信号102Sの絶対値と閾値601Sとを比較する(ステップS402)。比較器602の比較結果より、誤差信号102Sの絶対値が閾値601S以下の場合、セレクタ603は第1のステップサイズ設定値602Sを選択し、ステップサイズ104Sとして出力する。比較器602の比較結果より、誤差信号102Sの絶対値が閾値601Sを超える場合、セレクタ603は第1のステップサイズ設定値602Sより大きいステップサイズである第2のステップサイズ設定値603Sを選択し、ステップサイズ104Sとして出力する(ステップS403)。このように、ステップS402及びS403において、誤差信号102Sと、閾値601Sと、第1のステップサイズ設定値602Sと、第2のステップサイズ設定値603Sとに基づいて、ステップサイズ104Sが決定される。係数更新量計算部103は、誤差信号102Sとステップサイズ104Sとデータ105Sとを入力とし、それらの乗算を行なって、タップ係数更新量106Sを出力する(ステップS404)。そして、タップ係数更新量106Sは、波形等化器101において、(式1)で示されるタップ係数の更

新のために用いられる。なお、ステップS401～S404の処理と、波形等化器101におけるタップ係数の更新とは、波形等化器101での波形等化処理が行われる限り繰り返される。閾値601Sの値は、誤差信号102Sの絶対値が閾値601S以下の場合は波形等化器101がほぼ収束した状態であるような値とする。

【0082】このように、本実施の形態3による波形等化制御装置、及び波形等化制御方法によれば、誤差信号102Sの大小によって、ステップサイズ104Sの大きさを切換えるステップサイズ決定部601を備えたことで、誤差が大きい、すなわち未だ波形等化器101が収束していない段階では大きなステップサイズを用いることにより収束速度を向上させ、誤差が小さい、すなわち波形等化器101がほぼ収束した段階では小さなステップサイズを用いることにより低C/N時の安定性を確保でき、収束速度が速く、かつ低C/N時の安定性も高い波形等化制御装置を実現できるという効果を有する。なお、本実施の形態3では、2段階にステップサイズを切換えたが、閾値を比較器602に複数入力し、その比較結果に応じて3段階以上のステップサイズをセレクタ603で選択してもよい。

【0083】(実施の形態4)本発明の実施の形態4による波形等化制御装置の構成について図を用いて説明する。図7は、本実施の形態4による波形等化制御装置の構成を示すブロック図である。図7において、本実施の形態4による波形等化制御装置は、入力信号100Sの伝送路歪みを、LMSアルゴリズムに基づいて低減した出力信号101Sを出力する波形等化器101と、出力信号101Sの誤差を推定し、誤差信号102Sとして出力する誤差推定部102と、誤差信号102Sを2のべき乗の値を持つ量子化誤差信号701Sに変換して出力する誤差量子化部701と、量子化誤差信号701S、ステップサイズ104S、及び係数更新に用いるデータ105Sに基づいて、タップ係数更新量106Sを計算する係数更新量計算部702とを備える。

【0084】次に、本実施の形態4による波形等化制御装置の動作について図を用いて説明する。波形等化器101から出力された出力信号101Sに基づいて誤差推定部102はタップ係数更新に用いるために誤差を推定し、該推定した誤差を誤差信号102Sとして出力する。誤差量子化部701は、誤差信号102Sを2のべき乗のうち、102Sと同符号かつ絶対値が102S以下の最大の絶対値を持つ量子化誤差信号701Sに変換して出力する。図8に、誤差信号102Sとそれを変換した量子化誤差信号701Sとの関係を示している。なお、102Sが“0”的場合は、701Sも“0”とする。係数更新量計算部702は、量子化誤差信号701Sとステップサイズ104Sとデータ105Sとを入力とし、従来は2回の乗算で行なっていた処理を、2のべき乗の値または“0”しかとらない量子化誤差信号70

1 Sを用いることにより、誤差を乗算する処理がシフト演算で代用可能となるため、1回の乗算と1回のシフト演算でこれを代用し、タップ係数更新量106 Sを出力する。

【0085】このように、本実施の形態4による波形等化制御装置によれば、誤差量子化部701において誤差信号102 Sを2のべき乗の値を持つ量子化誤差信号701 Sに変換し、量子化誤差信号701 Sを用いてタップ係数更新量106 Sを求めるることとしたので、係数更新量計算部702において乗算をシフト演算に置換することができ、1タップの係数更新量を計算するための乗算器を1個にできることにより、回路規模の削減を達成できる効果が得られる。

【0086】なお、本実施の形態4では、誤差信号102 Sを量子化誤差信号701 Sに変換する際、図8に示すような変換を行なったが、誤差信号102 Sを2のべき乗のうち、誤差信号102 Sと同符号で絶対値が誤差信号102 Sの絶対値以上の最小の絶対値を持つ量子化誤差信号701 Sに変換してもよく、あるいは、誤差信号102 Sを2のべき乗のうち、誤差信号102 Sと同符号で絶対値が誤差信号102 Sの絶対値に最も近い絶対値を持つ量子化誤差信号701 Sに変換してもよい。

【0087】(実施の形態5) 本発明の実施の形態5による波形等化制御装置の構成について図を用いて説明する。図9は、本実施の形態5による波形等化制御装置の構成を示す図である。図9において、本実施の形態5による波形等化制御装置は、入力信号100 Sの伝送路歪みを、LMSアルゴリズムに基づいて低減した出力信号101 Sを出力する波形等化器101と、出力信号101 Sの誤差を推定し、誤差信号102 Sとして出力する誤差推定部102と、係数更新に用いるデータ105 Sを2のべき乗の値を持つ量子化データ901 Sに変換して出力するデータ量子化部901と、誤差信号102 S、ステップサイズ104 S、及び量子化データ901 Sに基づいて、タップ係数更新量106 Sを計算する係数更新量計算部902とを備える。

【0088】次に、本実施の形態5による波形等化制御装置の動作について図を用いて説明する。波形等化器101から出力された出力信号101 Sに基づいて誤差推定部102はタップ係数更新に用いるために誤差を推定し、該推定した誤差を誤差信号102 Sとして出力する。データ量子化部901は、データ105 Sを2のべき乗のうち、105 Sと同符号で絶対値がデータ105 S以下の最大の絶対値を持つ量子化データ901 Sに変換して出力する。図10に、データ105 Sとそれを変換した量子化データ901 Sとの関係を示している。なお、データ105 Sが“0”的場合は、901 Sも“0”とする。係数更新量計算部902は、誤差信号102 Sとステップサイズ104 Sと量子化データ901 Sとを入力とし、従来2回の乗算で行なっていた処理

を、2のべき乗の値または“0”しかとらない量子化データ901 Sを用いることにより、誤差を乗算する処理がシフト演算で代用可能となるため、1回の乗算と1回のシフト演算でこれを代用し、タップ係数更新量106 Sを出力する。

【0089】このように、本実施の形態5による波形等化制御装置によれば、データ量子化部901において係数更新に用いるデータ105 Sを2のべき乗の値を持つ量子化データ901 Sに変換し、量子化データ901 Sを用いてタップ係数更新量106 Sを求めることがとされたので、係数更新量計算部902において乗算をシフト演算に置換することができ、1タップの係数更新量を計算するための乗算器を1個にできることにより、回路規模の削減を達成できる効果が得られる。

【0090】なお、本実施の形態5では、係数更新に用いるデータ105 Sを量子化データ901 Sに変換する際、図10に示すような変換を行なったが、データ105 Sを2のべき乗のうち、データ105 Sと同符号で絶対値がデータ105 Sの絶対値以上の最小の絶対値を持つ量子化データ901 Sに変換してもよく、あるいは、データ105 Sを2のべき乗のうち、データ105 Sと同符号で絶対値がデータ105 Sの絶対値に最も近い絶対値を持つ量子化データ901 Sに変換してもよい。

【0091】(実施の形態6) 本発明の実施の形態6による波形等化制御装置の構成について図を用いて説明する。図11は、本実施の形態6による波形等化制御装置の構成を示すブロック図である。図11において、本実施の形態6による波形等化制御装置は、入力信号100 Sの伝送路歪みを、LMSアルゴリズムに基づいて低減した出力信号101 Sを出力する波形等化器101と、出力信号101 Sの誤差を推定し、誤差信号102 Sとして出力する誤差推定部102と、ステップサイズ104 Sを2のべき乗の値を持つ量子化ステップサイズ1101 Sに変換して出力するステップサイズ量子化部1101と、誤差信号102 S、量子化ステップサイズ1101 S、及び係数更新に用いるデータ105 Sに基づいて、タップ係数更新量106 Sを計算する係数更新量計算部1102とを備える。

【0092】次に、本実施の形態6による波形等化制御装置の動作について図を用いて説明する。波形等化器101から出力された出力信号101 Sに基づき誤差推定部102はタップ係数更新に用いるために誤差を推定し、該推定した誤差を誤差信号102 Sとして出力する。ステップサイズ量子化部1101は、ステップサイズ104 Sを2のべき乗のうち、104 S以下の最大の値を持つ量子化ステップサイズ1101 Sに変換して出力する。図12に、ステップサイズ104 Sとそれを変換した量子化ステップサイズとの関係を示している。なお、104 Sが“0”的場合は、1101 Sも“0”とする。係数更新量計算部1102は、誤差信号102 S

31

と量子化ステップサイズ1101Sとデータ105Sとを入力とし、従来2回の乗算で行なっていた処理を、2のべき乗の値または“0”しか知らない量子化ステップサイズ1101Sを用いることにより、誤差を乗算する処理がシフト演算で代用可能となるため、1回の乗算と1回のシフト演算で代用し、タップ係数更新量106Sを出力する。

【0093】このように、本実施の形態6による波形等化制御装置によれば、ステップサイズ量子化部1101においてステップサイズ104Sを2のべき乗の値を持つ量子化ステップサイズ1101Sに変換し、量子化ステップサイズ1101Sを用いてタップ係数更新量106Sを求ることとしたので、係数更新量計算部1102において乗算をシフト演算に置換することができ、1タップの係数更新量を計算するための乗算器を1個にできることにより、回路規模の削減を達成できる効果が得られる。

【0094】なお、本実施の形態6では、ステップサイズ104Sを量子化ステップサイズ1101Sに変換する際、図12に示すような変換を行なったが、ステップサイズ104Sを2のべき乗のうち、ステップサイズ104S以上の最小の値を持つ量子化ステップサイズ1101Sに変換してもよく、あるいは、ステップサイズ104Sを2のべき乗のうち、ステップサイズ104Sに最も近い値を持つ量子化ステップサイズ1101Sに変換してもよい。

【0095】(実施の形態7) 本発明の実施の形態7による波形等化制御装置の構成について図を用いて説明する。図13は、本実施の形態7による波形等化制御装置の構成を示すブロック図である。図13において、本実施の形態7による波形等化制御装置は、入力信号100Sの伝送路歪みを、LMSアルゴリズムに基づいて低減した出力信号101Sを出力する波形等化器101と、出力信号101Sの誤差を推定し、推定した誤差のうち、前記出力信号の所定の範囲に対応する誤差を0とした誤差信号102Sを出力する誤差推定部1303と、誤差信号102Sを入力とし、タップの係数更新量を計算するタイミングを制御する更新タイミング信号1301Sを出力する係数更新タイミング制御部1301と、誤差信号102S、更新タイミング信号1301S、ステップサイズ104S、及び係数更新に用いるデータ105Sに基づいて、タップ係数更新量106Sを計算する係数更新量計算部1302とを備える。

【0096】次に、本実施の形態7による波形等化制御装置の動作について図を用いて説明する。図27は、本実施の形態7による波形等化制御装置の動作を示すフローチャートである。また、図14は、本実施の形態7による波形等化制御装置のタップ係数更新のタイミングを説明するための図である。

【0097】波形等化器101から出力された出力信号

32

101Sに基づき誤差推定部1303はタップ係数更新に用いるために誤差を推定し、該推定した誤差に基づいて誤差信号102Sを生成し、出力する(ステップS501)。ここで、誤差推定部1303は、Stop&Goアルゴリズムに基づいて、誤差信号102Sを作成する。係数更新タイミング制御部1301は図14(d)に示すように前回の係数更新タイミングから一定のシンボル間隔(ここではnシンボルとしている。但し n は 1 以上の整数とする)以上経過し、かつ、誤差信号102Sが“0”でない最初のシンボルで更新タイミング信号1301SをONにする。それ以外のシンボルでは更新タイミング信号1301SをOFFにする(ステップS502)。係数更新量計算部1302は更新タイミング信号1301SがONの時のみ、誤差信号102Sとステップサイズ104Sとデータ105Sとを入力とし、それらの乗算を行なって、タップ係数更新量106Sを出力する(ステップS503)。そして、タップ係数更新量106Sは、波形等化器101において、(式1)で示されるタップ係数の更新のために用いられる。なお、ステップS501～S503の処理と、波形等化器101におけるタップ係数の更新とは、波形等化器101での波形等化処理が行われる限り繰り返される。

【0098】従来の波形等化制御装置は図14(b)に示すように一定のシンボル間隔(ここではnシンボルとしている。但し n は 1 以上の整数とする)で係数更新量計算部がタップ係数更新量106Sを出力していた。Stop&Goアルゴリズムを用いて誤差信号102Sを生成している場合は、図22(b)に示すように誤差推定部1303の出力である誤差信号102Sは約1/2の確率で“0”となる。タップ係数更新量106Sは $-\alpha \times e(n) \times d_i(n)$ なので、誤差信号102Sが“0”、すなわち、 $e(n) = 0$ であると、タップ係数更新量106Sは“0”となる。すなわち、係数更新量計算部はnシンボルに1回、タップ係数更新量106Sを出力するが、その約半数は“0”であり、実質的な係数更新間隔は図14(c)に示すように2nシンボルであった。これに対し、本実施の形態7の例では、図14(d)に示す通り、実質的な係数更新間隔は(n+1)シンボル程度であり、従来の約半分に短縮できている。

【0099】このように、本実施の形態7による波形等化制御装置、及び波形等化制御方法によれば、係数更新量計算部1302がタップ係数更新量106Sを計算するタイミングを制御する係数更新タイミング制御部1301を備えたことで、実質的な係数更新間隔を大幅に短縮し、波形等化器101の収束速度を向上させることができるとなる効果を有する。

【0100】なお、本実施の形態7では、Stop&Goアルゴリズムを用いた波形等化制御装置について説明したが、本発明はこれに限定されるものではなく、例えば、入出力信号の状態によって、誤差信号102Sを0

とする、すなわち、係数更新動作を停止する場合がある波形等化制御装置についても本発明を用いることが可能である。

【0101】また、本実施の形態7に係る係数更新タイミング制御部1301は、前回の係数更新タイミングからnシンボル以上経過し、かつ、誤差信号102Sが“0”でない最初のシンボルで更新タイミング信号1301SをONにするものに限定されない。例えば、前回の係数更新タイミングから、nシンボル以上経過し、かつ、誤差信号102Sが“0”でない2番目のシンボルで更新タイミング信号1301SをONにする係数更新タイミング制御部など、誤差信号102Sを監視することにより、更新タイミング信号1301SをONにするものは、本発明の範囲に含まれる。

【0102】また、本実施の形態7では、更新タイミング信号1301SをON、あるいはOFFとすることにより、係数更新のタイミングを制御するとしたが、本発明はこれに限定されるものではない。例えば、更新タイミング信号1301Sに含まれる識別子の種類を変えることにより、タップ係数の更新タイミングを制御するようにしてもよい。なお、“更新タイミング信号1301Sを生成する”とは、更新タイミング信号1301SをON、あるいはOFFとすることも含む広い概念である。

【0103】(実施の形態8) 本発明の実施の形態8による波形等化制御装置の構成について図を用いて説明する。図15は、本実施の形態8による波形等化制御装置の構成を示すブロック図である。図15において、本実施の形態8による波形等化制御装置は、入力信号100Sの伝送路歪みを、LMSアルゴリズムに基づいて低減した出力信号101Sを出力する波形等化器101と、出力信号101Sの誤差を推定し、誤差信号1502Sとして出力する誤差推定部1501と、誤差信号1502S、ステップサイズ104S、及び係数更新に用いるデータ105Sに基づいて、タップ係数更新量106Sを計算する係数更新量計算部103とを備える。誤差推定部1501は、さらに、出力信号101Sを入力として出力誤差信号1501Sを出力する出力誤差推定部1502と、出力誤差信号1501S、及び出力信号101Sを入力とし、出力誤差信号1501Sの一部区間を所定の割合で減じて、誤差信号1502Sを出力する係数更新用誤差生成部1503とを備える。

【0104】次に、本実施の形態8による波形等化制御装置の動作について図を用いて説明する。ここでは、波形等化器の入力がDTV信号である場合を例に取っている。図28は、本実施の形態8による波形等化制御装置の動作を示すフローチャートである。

【0105】波形等化器101の出力である出力信号101Sに基づき出力誤差推定部1502で最も確からしいシンボル値との誤差である出力誤差を推定し、出力誤

差信号1501Sを生成する(ステップS601)。係数更新用誤差生成部1503は出力誤差信号1501Sと出力信号101Sとを入力とし、図22(b)に示すようにStop&Goアルゴリズムでは“0”を出力していた出力誤差信号1501Sについて、出力誤差信号1501Sの25%の値を誤差信号1502Sとして生成し、出力するようにする(ステップS602)。図16に出力誤差信号1501Sと誤差信号1502Sとの関係を示す。係数更新量計算部103は、誤差信号1502Sとステップサイズ104Sとデータ105Sとを入力とし、それらの乗算を行なって、タップ係数更新量106Sを出力する(ステップS603)。そして、タップ係数更新量106Sは、波形等化器101において、(式1)で示されるタップ係数の更新のために用いられる。なお、ステップS601～S603の処理と、波形等化器101におけるタップ係数の更新とは、波形等化器101での波形等化処理が行われる限り繰り返される。

【0106】このように、本実施の形態8による波形等化制御装置、及び波形等化制御方法によれば、Stop&Goアルゴリズムでは係数更新用誤差生成部が出力誤差信号を“0”に変換して誤差信号として出力していたものを、出力誤差信号1501Sの25%の値に変換して誤差信号1502Sとして出力する係数更新用誤差生成部1503を備えたことで、タップ係数の更新に使える誤差信号が多くなり、波形等化器101の収束速度を向上させることが可能となる効果を有する。

【0107】なお、本実施の形態8では、入力がDTV信号である場合について説明したが、入力はDTV信号だけに限られるものではない。また、係数更新用誤差生成部1503で変換する際に用いる比率である25%は、この値に限られるものではない。

【0108】(実施の形態9) 本発明の実施の形態9による波形等化制御装置の構成について図を用いて説明する。図17は、本実施の形態9による波形等化制御装置の構成を示すブロック図である。図17において、本実施の形態9による波形等化制御装置は、入力信号100Sの伝送路歪みを、LMSアルゴリズムに基づいて低減した出力信号101Sを出力する波形等化器101と、出力信号101Sの誤差を推定し、誤差信号1701Sとして出力する誤差推定部1701と、誤差信号1701S、ステップサイズ104S、及び係数更新に用いるデータ105Sに基づいて、タップ係数更新量106Sを計算する係数更新量計算部103と、出力信号101Sから、データの誤り率を測定し、その誤り率をエラー信号1702Sとして出力する誤り率測定回路1703とを備える。誤差推定部1701は、さらに、出力信号101Sを入力として出力誤差信号1501Sを出力する出力誤差推定部1502と、出力誤差信号1501S、及びエラー信号1702Sを入

力とし、誤差信号1701Sを出力する係数更新用誤差生成部1702とを備える。

【0110】次に、本実施の形態9による波形等化制御装置の動作について図を用いて説明する。ここでは、波形等化器101の入力がDTV信号である場合を例に取っている。図29は、本実施の形態9による波形等化制御装置の動作を示すフローチャートである。

【0110】波形等化器101の出力である出力信号101Sから出力誤差推定部1502で最も確からしいシンボル値との誤差である出力誤差を推定し、出力誤差信号1501Sを生成する(ステップS701)。誤り率測定回路1703は、波形等化器101の出力信号101Sに含まれる誤りの割合を示す誤り率が所定の値、例えば10%以上になった場合には、エラー信号1702SをONとし、それ以外の場合には、エラー信号1702SをOFFとする(ステップS702)。ここで、誤り率測定回路1703は、出力信号101Sに含まれるECC用データ、あるいはECC用ビットなどを用いて誤り率の測定を行う。

【0111】係数更新用誤差生成部1702は、出力誤差信号1501Sと出力信号101Sとエラー信号1702Sとを入力とし、エラー信号1702SがONの場合は、従来通りStop&Goアルゴリズムに基づき図22(b)に示す誤差信号と同様の信号を出力する。一方、エラー信号1702SがOFFの場合は、出力誤差信号1501Sはほとんど正しい値を示しているため、Stop&Goアルゴリズムに基づく変換をやめ、出力誤差信号1501Sのそのままの値を誤差信号1701Sとして生成し、出力する(ステップS703)。図18にエラー信号1702SがOFFの場合の出力誤差信号1501Sと誤差信号1701Sとの関係を示す。係数更新量計算部103は、誤差信号1701Sとステップサイズ104Sとデータ105Sとを入力とし、それらの乗算を行なって、タップ係数更新量106Sを出力する(ステップS704)。そして、タップ係数更新量106Sは、波形等化器101において、(式1)で示されるタップ係数の更新のために用いられる。なお、ステップS701～S704の処理と、波形等化器101におけるタップ係数の更新とは、波形等化器101での波形等化処理が行われる限り繰り返される。

【0112】このように、本実施の形態9による波形等化制御装置、及び波形等化制御方法によれば、Stop&Goアルゴリズムにおいて、出力信号101Sの誤り率に応じてエラー信号1702SをONとするか、あるいはOFFとする誤り率測定回路1703と、エラー信号1702SがONのときには、出力誤差信号1501Sの一部を“0”に変換して誤差信号1701Sとして出力し、エラー信号がOFFのときには、“0”に変換するのをやめて出力誤差信号1501Sをそのまま出力する係数更新用誤差生成部1702とを備えたことで、

タップの係数更新に使える誤差信号1701Sが多くなり、波形等化器101の収束速度を向上させることが可能となる効果を有する。

【0113】なお、本実施の形態9では、入力がDTV信号である場合について説明したが、入力はDTV信号だけに限られるものではない。また、誤り率測定回路1703が、エラー信号1702SのONとOFFを切替える誤り率の閾値を10%としたが、この値に限られるものではない。

【0114】また、エラー信号1702SがONのときには、係数更新用誤差生成部1702がStop&Goアルゴリズムによって誤差信号1701Sを生成するとしたが、本発明はこれに限定されるものではない。例えば、エラー信号1702SがONのときに、係数更新用誤差生成部が実施の形態8の図16(b)で示される誤差信号1502Sを出力してもよく、エラー信号1702SがONのときに係数更新用誤差生成部1702の出力する誤差信号1701Sが、出力誤差信号1501Sと同一でない、すなわち、出力誤差信号1501Sを所定の範囲、あるいは割合で減衰させた、または0としたようなものであれば、本発明の範囲に含まれる。

【0115】また、本実施の形態9では、エラー信号1702Sが誤り率測定回路1703によりONかOFFとして生成されると説明したが、本発明はこれに限定されるものではない。例えば、エラー信号1702Sに含まれる識別子の種類を変えることにより、誤り率が所定の値以上であるか否かを示すようにしてもよい。なお、“エラー信号1702Sを生成する”とは、エラー信号1702SをON、あるいはOFFとすることも含む広い概念である。

【0116】また、波形等化器101の出力信号101Sが図示しない誤り訂正部(Foward Error Correction Unit)に入力される場合には、その誤り訂正部に含まれる誤り率測定回路を、本実施の形態9による誤り率測定回路1703として用いてよい。

【0117】

【発明の効果】

【0118】以上のように、本発明の請求項1に係る波形等化制御装置によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、前記誤差信号と前記タップ係数の更新のきざみであるステップサイズの上限値と下限値であるステップサイズ上限値及びステップサイズ下限値を入力とし、該ステップサイズ上限値以下かつ該ステップサイズ下限値以上の範囲で該誤差信号に応じた大きさのステップサイズを適応的に生成し、出力するステップサ

イズ決定部と、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えたことで、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速く、かつ、ノイズの影響を受けにくく、低C/N時の安定性も高い波形等化制御装置を実現できる効果が得られる。

【0119】また、本発明の請求項2に係る波形等化制御装置によれば、請求項1に記載の波形等化制御装置において、前記ステップサイズ決定部は、前記誤差信号を2乗して2乗誤差を生成する乗算器と、前回のタップ係数更新時に生成した2乗誤差を記憶する2乗誤差記憶部と、前記乗算器の出力する2乗誤差と前記2乗誤差記憶部の記憶する前回のタップ係数更新時に生成した2乗誤差との差である2乗誤差の差を生成する減算器と、前記2乗誤差と第1の閾値とを比較する第1の比較器と、前記2乗誤差と第2の閾値とを比較する第2の比較器と、前記2乗誤差の差の絶対値と第3の閾値とを比較する第3の比較器と、前回のタップ係数更新時に使用したステップサイズを記憶するステップサイズ記憶部と、前記ステップサイズ記憶部が記憶しているステップサイズと、前記第1の比較器の出力と、前記第2の比較器の出力と、前記第3の比較器の出力と、前記ステップサイズ上限値と、前記ステップサイズ下限値と、を入力とし、今回のタップ係数更新に使用するステップサイズを生成するステップサイズ増減部とを備えたことで、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速く、かつ、ノイズの影響を受けにくく、低C/N時の安定性も高い波形等化制御装置を実現できる効果が得られる。

【0120】また、本発明の請求項3に係る波形等化制御装置によれば、請求項2に記載の波形等化制御装置において、前記第2の閾値は、前記2乗誤差がその値よりも大きければ、前記波形等化器の波形等化動作が発散傾向となる値であり、前記第1の閾値は、前記2乗誤差がその値よりも小さければ、前記波形等化器の波形等化動作が収束中か、収束完了かのどちらかの状態となる値であり、前記第3の閾値は、前記2乗誤差が、前記第1の閾値よりも小さい場合に、前記2乗誤差の差の絶対値が前記第3の閾値よりも大きければ、前記波形等化器の波形等化動作が収束中の状態となる値であり、前記第3の閾値以下であれば、前記波形等化器の波形等化動作が収束完了の状態となる値であり、前記ステップサイズ増減部は、前記第1ないし第3の比較器の比較結果より、2乗誤差が第2の閾値より大きい場合は、ステップサイズを一定割合減少させ、前記2乗誤差が第1の閾値より小さく、かつ前記2乗誤差の差の絶対値が第3の閾値以下である場合は、ステップサイズを一定割合減少させ、前記2乗誤差が第1の閾値よりも小さく、かつ前記2乗誤差の差の絶対値が第3の閾値よりも大きい場合は、ステップサイズを一定割合増加させ、それ以外の場合は、ステップサイズを変化させることで、波形等化器の状態

が一定量増加させ、それ以外の場合はステップサイズを変化させることで、波形等化器の状態に応じて適切なステップサイズとすることにより、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速く、かつ、ノイズの影響を受けにくく、低C/N時の安定性も高い波形等化制御装置を実現できる効果が得られる。

【0121】また、本発明の請求項4に係る波形等化制御装置によれば、請求項2に記載の波形等化制御装置において、前記第2の閾値は、前記2乗誤差がその値よりも大きければ、前記波形等化器の波形等化動作が発散傾向となる値であり、前記第1の閾値は、前記2乗誤差がその値よりも小さければ、前記波形等化器の波形等化動作が収束中か、収束完了かのどちらかの状態となる値であり、前記第3の閾値は、前記2乗誤差が、前記第1の閾値よりも小さい場合に、前記2乗誤差の差の絶対値が前記第3の閾値よりも大きければ、前記波形等化器の波形等化動作が収束中の状態となる値であり、前記第3の閾値以下であれば、前記波形等化器の波形等化動作が収束完了の状態となる値であり、前記ステップサイズ増減部は、前記第1ないし第3の比較器の比較結果より、2乗誤差が第2の閾値より大きい場合は、ステップサイズを一定割合減少させ、前記2乗誤差が第1の閾値より小さく、かつ前記2乗誤差の差の絶対値が第3の閾値以下である場合は、ステップサイズを一定割合減少させ、前記2乗誤差が第1の閾値よりも小さく、かつ前記2乗誤差の差の絶対値が第3の閾値よりも大きい場合は、ステップサイズを一定割合増加させ、それ以外の場合は、ステップサイズを変化させることで、波形等化器の状態に応じて適切なステップサイズとすることにより、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速く、かつ、ノイズの影響を受けにくく、低C/N時の安定性も高い波形等化制御装置を実現できる効果が得られる。

【0122】また、本発明の請求項5に係る波形等化制御装置によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、前記出力信号に対する誤差推定の判定誤り確率の大小を判定し、判定信号を出力する信号判定部と、前記判定信号を入力とし、前記タップ係数の更新のきさみであるステップサイズとして該判定信号に応じた大きさの値を出力するステップサイズ決定部と、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えたことで、前記出力信号の判定誤りの確率に応じてステップサイズを大きくすることが可能となり、入力信号の伝送歪みが変動した場合の追従

性や初期動作時の収束速度が速い波形等化制御装置を実現できる効果が得られる。

【0123】また、本発明の請求項6に係る波形等化制御装置によれば、請求項5に記載の波形等化制御装置において、前記信号判定部は、前記出力信号が既知であることを示す場合と、前記出力信号の判定誤りの確率が小さいことを示す場合と、前記出力信号の判定誤りの確率が大きいことを示す場合と、の3通りの判定信号を出力することで、前記出力信号の判定誤りの確率に応じてステップサイズを増減することが可能となり、入力信号の伝送歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御装置を実現できる効果が得られる。

【0124】また、本発明の請求項7に係る波形等化制御装置によれば、請求項6に記載の波形等化制御装置において、前記ステップサイズ決定部は、前記判定信号が前記出力信号が既知であることを示す場合は、第1のステップサイズ設定値を前記ステップサイズとして出力し、前記出力信号の判定誤りの確率が小さいことを示す場合は、前記第1のステップサイズ設定値より小さな値である第2のステップサイズ設定値を出力し、前記出力信号の判定誤りの確率が大きいことを示す場合は、前記第2のステップサイズ設定値より小さな値である第3のステップサイズ設定値を出力することで、前記出力信号の判定誤の確率に応じてステップサイズを増減することが可能となり、入力信号の伝送歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御装置を実現できる効果が得られる。

【0125】また、本発明の請求項8に係る波形等化制御装置によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、前記誤差信号と閾値と複数のステップサイズ設定値とを入力とし、前記タップ係数の更新のきざみであるステップサイズを決定するステップサイズ決定部と、前記誤差信号と、前記ステップサイズと、タップ係数更新用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えたことで、前記誤差信号と前記閾値との関係よりステップサイズを選択することができ、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御装置を実現できる効果が得られる。

【0126】また、本発明の請求項9に係る波形等化制御装置によれば、請求項8に記載の波形等化制御装置において、前記複数のステップサイズ設定値は、第1のステップサイズ設定値と、該第1のステップサイズ設定値より値の大きい第2のステップサイズ設定値であり、前記ステップサイズ決定部は、前記誤差信号の絶対値と前

記閾値とを比較する比較器と、前記比較器から出力される比較結果より、前記第1のステップサイズ設定値と、前記第2のステップサイズ設定値のどちらかを選択して、前記ステップサイズとして出力するセレクタとを備えたことで、前記誤差信号と前記閾値との比較結果よりステップサイズを選択することができ、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御装置を実現できる効果が得られる。

【0127】また、本発明の請求項10に係る波形等化制御装置によれば、請求項9に記載の波形等化制御装置において、前記閾値は、前記誤差信号の絶対値が該閾値以下のときに前記波形等化器がほぼ収束した状態となる値であり、前記ステップサイズ決定部は、前記誤差信号の絶対値が前記閾値以下の場合に、前記第1のステップサイズ設定値を前記ステップサイズとして出力し、前記誤差信号の絶対値が前記閾値を超える場合に、前記第2のステップサイズ設定値を前記ステップサイズとして出力することで、前記比較器における前記誤差信号と前記閾値との比較結果より、波形等化器が未だ収束していないと判断した場合には大きなステップサイズを選択でき、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御装置を実現できる効果が得られる。

【0128】また、本発明の請求項11に係る波形等化制御装置によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、前記誤差信号を2のべき乗の値を持つ量子化誤差信号に変換し出力する誤差量子化部と、前記量子化誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えたことで、従来は2回の乗算の処理が必要であったが、1回の乗算と1回のシフト演算で代用でき、従来と同様の性能を達成しながら回路規模が小さい波形等化制御装置を実現できる効果が得られる。

【0129】また、本発明の請求項12に係る波形等化制御装置によれば、請求項11に記載の波形等化制御装置において、前記誤差量子化部は、前記誤差信号を、2のべき乗のうち前記誤差信号と同符号でかつ絶対値が前記誤差信号以下の最大値を持つ量子化誤差信号に変換し出力することで、タップ係数更新量を求めるのに従来は2回の乗算の処理が必要であったが、1回の乗算と1回のシフト演算で代用でき、従来と同様の性能を達成しながら回路規模が小さい波形等化制御装置を実現できる効果が得られる。

【0130】また、本発明の請求項13に係る波形等化制御装置によれば、請求項11に記載の波形等化制御装

置において、前記誤差量子化部は、前記誤差信号を、2のべき乗のうち前記誤差信号と同符号でかつ絶対値が前記誤差信号以上の最小値を持つ量子化誤差信号に変換し出力することで、タップ係数更新量を求めるのに従来は2回の乗算の処理が必要であったが、1回の乗算と1回のシフト演算で代用でき、従来と同様の性能を達成しながら回路規模が小さい波形等化制御装置を実現できる効果が得られる。

【0131】また、本発明の請求項14に係る波形等化制御装置によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、タップ係数更新に用いるデータを2のべき乗の値を持つ量子化データに変換し出力するデータ量子化部と、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、前記量子化データとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えたことで、従来は2回の乗算の処理が必要であったが、1回の乗算と1回のシフト演算で代用でき、従来と同様の性能を達成しながら回路規模が小さい波形等化制御装置を実現できる効果が得られる。

【0132】また、本発明の請求項15に係る波形等化制御装置によれば、請求項14に記載の波形等化制御装置において、前記データ量子化部は、前記タップ係数更新に用いるデータを、2のべき乗のうち前記タップ係数更新に用いるデータと同符号でかつ絶対値が前記タップ係数更新に用いるデータ以下の最大値を持つ量子化データに変換し出力することで、タップ係数更新量を求めるのに従来は2回の乗算の処理が必要であったが、1回の乗算と1回のシフト演算で代用でき、従来と同様の性能を達成しながら回路規模が小さい波形等化制御装置を実現できる効果が得られる。

【0133】また、本発明の請求項16に係る波形等化制御装置によれば、請求項14に記載の波形等化制御装置において、前記データ量子化部は、前記タップ係数更新に用いるデータを、2のべき乗のうち前記タップ係数更新に用いるデータと同符号でかつ絶対値が前記タップ係数更新に用いるデータ以上の最小値を持つ量子化データに変換し出力することで、タップ係数更新量を求めるのに従来は2回の乗算の処理が必要であったが、1回の乗算と1回のシフト演算で代用でき、従来と同様の性能を達成しながら回路規模が小さい波形等化制御装置を実現できる効果が得られる。

【0134】また、本発明の請求項17に係る波形等化制御装置によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号

より該出力信号の誤差を推定し誤差信号として出力する誤差推定部と、前記タップ係数の更新のきざみであるステップサイズを2のべき乗の値を持つ量子化ステップサイズに変換し出力するステップサイズ量子化部と、前記誤差信号と、前記量子化ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えたことで、従来は2回の乗算の処理が必要であったが、1回の乗算と1回のシフト演算で代用でき、従来と同様の性能を達成しながら回路規模が小さい波形等化制御装置を実現できる効果が得られる。

【0135】また、本発明の請求項18に係る波形等化制御装置によれば、請求項17に記載の波形等化制御装置において、前記ステップサイズ量子化部は、前記ステップサイズを、2のべき乗のうち、前記ステップサイズ以下の最大値を持つ量子化ステップサイズに変換し出力することで、タップ係数更新量を求めるのに従来は2回の乗算の処理が必要であったが、1回の乗算と1回のシフト演算で代用でき、従来と同様の性能を達成しながら回路規模が小さい波形等化制御装置を実現できる効果が得られる。

【0136】また、本発明の請求項19に係る波形等化制御装置によれば、請求項17に記載の波形等化制御装置において、前記ステップサイズ量子化部は、前記ステップサイズを、2のべき乗のうち、前記ステップサイズ以上の最小値を持つ量子化ステップサイズに変換し出力することで、タップ係数更新量を求めるのに従来は2回の乗算の処理が必要であったが、1回の乗算と1回のシフト演算で代用でき、従来と同様の性能を達成しながら回路規模が小さい波形等化制御装置を実現できる効果が得られる。

【0137】また、本発明の請求項20に係る波形等化制御装置によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号より該出力信号の誤差を推定し、推定した誤差のうち、前記出力信号の所定の範囲に対応する誤差を0とした誤差信号を出力する誤差推定部と、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部と、前記誤差信号を入力とし、前記係数更新量計算部がタップ係数更新量を複数シンボル間隔で計算するタイミングを制御する更新タイミング信号を出力する係数更新タイミング制御部とを備えたことで、前記誤差信号が“0”でない時に前記係数更新量計算部でタップ係数更新量を計算することにより所定のシンボル間隔で係数更新を行う波形等化制御装置に比べて係数更新間隔を短縮することが可能となり、

入力信号の伝送路歪みが変動した場合の追従性や初期動

作時の収束速度が速い、波形等化制御装置を実現できる効果が得られる。

【0138】また、本発明の請求項21に係る波形等化制御装置によれば、請求項20に記載の波形等化制御装置において、前記係数更新タイミング制御部は、前記係数更新量計算部がタップ係数更新量を計算するタイミングを、前回のタイミングから所定のシンボル間隔以上経過し、かつ前記誤差信号が0でない最初のシンボル時点に制御することで、前記誤差信号が“0”でない時に前記係数更新量計算部でタップ係数更新量を計算することにより、予め決められたシンボル間隔で係数更新を行う波形等化制御装置に比べて係数更新間隔を短縮することが可能となり、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い、波形等化制御装置を実現できる効果が得られる。

【0139】また、本発明の請求項22に係る波形等化制御装置によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号を入力として、出力誤差信号を出力する出力誤差推定部、及び前記出力誤差信号と前記出力信号とを入力とし、前記出力誤差信号の一部区間を一定割合で減じて、誤差信号を出力する係数更新用誤差生成部を有する誤差推定部と、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えたことで、係数更新用誤差生成部で“0”に変換されていた出力誤差信号を一定の割合を乗じて値を小さくした誤差信号に変換することによりSto p & Goアルゴリズムに比べてタップ係数更新に使える誤差信号が多くなり、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御装置を実現できる効果が得られる。

【0140】また、本発明の請求項23に係る波形等化制御装置によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器を備え、該波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御装置であって、前記波形等化器の出力信号を入力として、該出力信号に含まれる誤りの割合を示すエラー信号を生成する誤り率測定回路と、前記波形等化器の出力信号を入力として、出力誤差信号を出力する出力誤差推定部、及び前記出力誤差信号と前記出力信号と前記エラー信号とを入力とし、誤差信号を出力する係数更新用誤差生成部を有する誤差推定部と、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算部とを備えたことで、タップ係数の更新間隔が短縮されることとなり、さらに、タップ係数更新に使える誤差信号が多くなるこ

とにより、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御装置を実現できる効果が得られる。

【0141】また、本発明の請求項24に係る波形等化制御装置によれば、請求項23に記載の波形等化制御装置において、前記係数更新用誤差生成部は、前記エラー信号により前記出力信号に含まれる誤りの割合が所定の割合より小さいことを検知した場合に、前記誤差信号として前記出力誤差信号と同じ値を出力することで、タップ係数の更新間隔が短縮されることとなり、さらに、タップ係数更新に使える誤差信号が多くなることにより、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御装置を実現できる効果が得られる。

【0142】また、本発明の請求項25に係る波形等化制御方法によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より該出力信号の誤差を推定し、誤差信号を生成する誤差推定ステップと、前記誤差信号に基づいて、前記タップ係数の更新のきざみであるステップサイズの上限値であるステップサイズ上限値以下、かつ該ステップサイズの下限値であるステップサイズ下限値以上の範囲でステップサイズを適応的に決定するステップサイズ決定ステップと、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算ステップとを備えたことで、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速く、かつ、ノイズの影響を受けにくく、低C/N時の安定性も高い波形等化制御方法を実現できる効果が得られる。

【0143】また、本発明の請求項26に係る波形等化制御方法によれば、請求項25に記載の波形等化制御方法において、前記ステップサイズ決定ステップは、前記誤差信号を2乗して2乗誤差を生成する乗算ステップと、前回のタップ係数更新時に生成した2乗誤差と前記乗算ステップで生成した2乗誤差との差である2乗誤差の差を生成する減算ステップと、前記2乗誤差と第1の閾値とを比較する第1の比較ステップと、前記2乗誤差と第2の閾値とを比較する第2の比較ステップと、前記2乗誤差の差の絶対値と第3の閾値とを比較する第3の比較ステップと、前回のタップ係数更新時に使用したステップサイズと、前記第1の比較ステップでの比較結果と、前記第2の比較ステップでの比較結果と、前記第3の比較ステップでの比較結果と、前記ステップサイズ上限値と、前記ステップサイズ下限値とに基づいて、今回のタップ係数更新に使用するステップサイズを生成するステップサイズ生成ステップとをさらに備えたことで、入力信号の伝送路歪みが変動した場合の追従性や初期動

作時の収束速度が速く、かつ、ノイズの影響を受けにくく、低C/N時の安定性も高い波形等化制御方法を実現できる効果が得られる。

【0144】また、本発明の請求項27に係る波形等化制御方法によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より該出力信号の誤差を推定し、誤差信号を生成するステップと、前記出力信号に対する誤差推定の判定誤り確率の大小を判定し、判定信号を生成するステップと、前記判定信号に基づいて、前記タップ係数の更新のきざみであるステップサイズを決定するステップと、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算するステップとを備えたことで、前記出力信号の判定誤りの確率に応じてステップサイズを大きくすることが可能となり、入力信号の伝送歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御方法を実現できる効果が得られる。

【0145】また、本発明の請求項28に係る波形等化制御方法によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より該出力信号の誤差を推定し、誤差信号を生成する誤差推定ステップと、前記誤差信号と閾値と複数のステップサイズ設定値とに基づいて、前記タップ係数の更新のきざみであるステップサイズを決定するステップサイズ決定ステップと、前記誤差信号と、前記ステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算ステップとを備えたことで、前記誤差信号と前記閾値との関係よりステップサイズを選択することができ、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御方法を実現できる効果が得られる。

【0146】また、本発明の請求項29に係る波形等化制御方法によれば、請求項28に記載の波形等化制御方法において、前記複数のステップサイズ設定値は、第1のステップサイズ設定値と、該第1のステップサイズ設定値より値の大きい第2のステップサイズ設定値であり、前記ステップサイズ決定ステップは、前記誤差信号の絶対値と前記閾値とを比較する比較ステップと、前記比較ステップでの比較結果に基づいて、前記第1のステップサイズ設定値と、前記第2のステップサイズ設定値とのどちらかを前記ステップサイズとして選択する選択ステップとをさらに備えたことで、前記誤差信号と前記閾値との比較結果よりステップサイズを選択することができ、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御方法を実現できる効果が得られる。

【0147】また、本発明の請求項30に係る波形等化制御方法によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より該出力信号の誤差を推定し、推定した誤差のうち、前記出力信号の所定の範囲に対応する誤差を0とした誤差信号を生成する誤差推定ステップと、前記誤差信号に基づいて、タップ係数更新量を複数シンボル間隔で計算するタイミングを制御する更新タイミング信号を生成する係数更新タイミング制御ステップと、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいて、前記更新タイミング信号により制御されたタイミングでタップ係数更新量を計算する係数更新量計算ステップとを備えたことで、前記誤差信号が“0”でない時に前記係数更新量計算ステップでタップ係数更新量を計算することにより所定のシンボル間隔で係数更新を行う波形等化制御方法に比べて係数更新間隔を短縮することが可能となり、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い、波形等化制御方法を実現できる効果が得られる。

【0148】また、本発明の請求項31に係る波形等化制御方法によれば、請求項30に記載の波形等化制御方法において、前記係数更新タイミング制御ステップで、タップ係数更新量を計算するタイミングを、前回のタイミングから所定のシンボル間隔以上経過し、かつ前記誤差信号が0でない最初のシンボル時点とする更新タイミング信号を生成することで、前記誤差信号が“0”でない時に前記係数更新量計算ステップでタップ係数更新量を計算することにより、予め決められたシンボル間隔で係数更新を行う波形等化制御方法に比べて係数更新間隔を短縮することが可能となり、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い、波形等化制御方法を実現できる効果が得られる。

【0149】また、本発明の請求項32に係る波形等化制御方法によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より出力誤差を推定し、出力誤差信号を生成するステップと、前記出力誤差信号と前記出力信号とに基づいて、前記出力誤差信号の一部区間を一定割合で減じた誤差信号を生成するステップと、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新に用いるデータとに基づいてタップ係数更新量を計算するステップとを備えたことで、係数更新用の誤差信号を生成するステップで“0”に変換されていた出力誤差信号を一定の割合を乗じて値を小さくした誤差信号に変換することによりStop & Goアルゴリズムに比べてタップ係数更新に使える誤差信号が多くなり、入力信号の伝送路歪みが

47

変動した場合の追従性や初期動作時の収束速度が速い波形等化制御方法を実現できる効果が得られる。

【0150】また、本発明の請求項33に係る波形等化制御方法によれば、入力信号の伝送路歪みをLMSアルゴリズムに基づいて低減する波形等化器が有するフィルタのタップ係数の更新を制御する波形等化制御方法であって、前記波形等化器の出力信号より出力誤差を推定し、出力誤差信号を生成する出力誤差推定ステップと、前記波形等化器の出力信号に含まれる誤りの割合を示すエラー信号を生成するエラー信号生成ステップと、前記出力誤差信号と前記出力信号と前記エラー信号とに基づいて、タップ係数更新用に用いる誤差信号を生成する係数更新用誤差生成ステップと、前記誤差信号と、前記タップ係数の更新のきざみであるステップサイズと、タップ係数更新用に用いるデータとに基づいてタップ係数更新量を計算する係数更新量計算ステップとを備えたことで、タップ係数の更新間隔が短縮されることとなり、さらに、タップ係数更新に使える誤差信号が多くなることにより、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御方法を実現できる効果が得られる。

【0151】また、本発明の請求項34に係る波形等化制御方法によれば、請求項33に記載の波形等化制御方法において、前記係数更新用誤差生成ステップで、前記エラー信号により前記出力信号に含まれる誤りの割合が所定の割合より小さいことを検知した場合に、前記誤差信号として前記出力誤差信号と同じ値を生成することで、タップ係数の更新間隔が短縮されることとなり、さらに、タップ係数更新に使える誤差信号が多くなることにより、入力信号の伝送路歪みが変動した場合の追従性や初期動作時の収束速度が速い波形等化制御方法を実現できる効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による波形等化制御装置の構成を示すブロック図である。

【図2】本発明の実施の形態1によるステップサイズ決定部の構成を示すブロック図である。

【図3】本発明の実施の形態1によるステップサイズ増減部の動作を説明するための説明図である。

【図4】本発明の実施の形態2による波形等化制御装置の構成を示すブロック図である。

【図5】本発明の実施の形態2による波形等化制御装置の判定信号と出力信号との関係を示す図である。

【図6】本発明の実施の形態3による波形等化制御装置の構成を示すブロック図である。

【図7】本発明の実施の形態4による波形等化制御装置の構成を示すブロック図である。

【図8】本発明の実施の形態4による波形等化制御装置の誤差信号と量子化誤差信号の関係を示す図である。

【図9】本発明の実施の形態5による波形等化制御装置

48

の構成を示すブロック図である。

【図10】本発明の実施の形態5による波形等化制御装置のデータと量子化データとの関係を示す図である。

【図11】本発明の実施の形態6による波形等化制御装置の構成を示すブロック図である。

【図12】本発明の実施の形態6による波形等化制御装置のステップサイズと量子化ステップサイズとの関係を示す図である。

【図13】本発明の実施の形態7による波形等化制御装置の構成を示すブロック図である。

【図14】本発明の実施の形態7による波形等化制御装置のタップ係数更新のタイミングを説明するための説明図である。

【図15】本発明の実施の形態8による波形等化制御装置の構成を示すブロック図である。

【図16】本発明の実施の形態8による波形等化制御装置の動作を説明するための説明図である。

【図17】本発明の実施の形態9による波形等化制御装置の構成を示すブロック図である。

【図18】本発明の実施の形態9による波形等化制御装置の動作を説明するための説明図である。

【図19】従来の波形等化制御装置の構成を示すブロック図である。

【図20】DTV信号形式の構成を示す図である。

【図21】DTV信号中のフィールド同期信号形式の構成を示す図である。

【図22】従来の波形等化制御装置の動作を説明するための説明図である。

【図23】本発明の実施の形態1による波形等化制御装置の動作を示すフローチャートである。

【図24】本発明の実施の形態1による波形等化制御装置の動作を示すフローチャートである。

【図25】本発明の実施の形態2による波形等化制御装置の動作を示すフローチャートである。

【図26】本発明の実施の形態3による波形等化制御装置の動作を示すフローチャートである。

【図27】本発明の実施の形態7による波形等化制御装置の動作を示すフローチャートである。

【図28】本発明の実施の形態8による波形等化制御装置の動作を示すフローチャートである。

【図29】本発明の実施の形態9による波形等化制御装置の動作を示すフローチャートである。

【符号の説明】

101 波形等化器

102、1303、1501、1701、1901 誤差推定部

103、702、902、1102、1302 係数更新量計算部

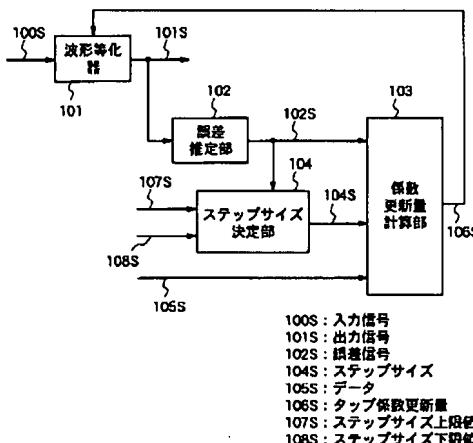
104、402、601 ステップサイズ決定部

201 乗算器

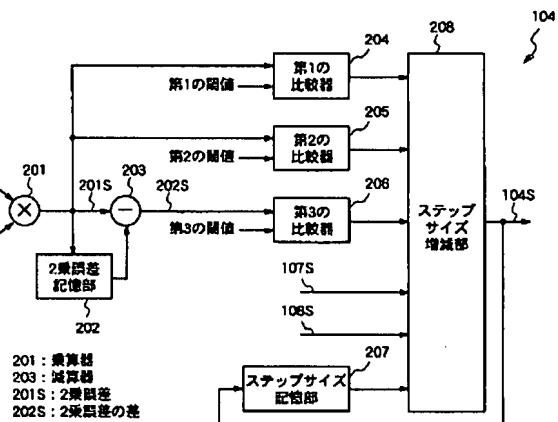
50

202	2乗誤差記憶部	* 3203	コントロール信号
203	減算器	101S	出力信号
204	第1の比較器	102S、1502S、1701S、1901S	誤差信号
205	第2の比較器		
206	第3の比較器	104S	ステップサイズ
207	ステップサイズ記憶部	105S	データ
208	ステップサイズ増減部	106S	タップ係数更新量
401	信号判定部	107S	ステップサイズ上限値
602	比較器	108S	ステップサイズ下限値
603	セレクタ	10 201S	2乗誤差
701	誤差量子化部	202S	2乗誤差の差
901	データ量子化部	401S	判定信号
1101	ステップサイズ量子化部	601S	閾値
1301	係数更新タイミング制御部	602S	第1のステップサイズ設定値
1502	出力誤差推定部	603S	第2のステップサイズ設定値
1503、1702、1902	係数更新用誤差生成部	701S	量子化誤差信号
1703	誤り率測定回路	901S	量子化データ
3101	データ信号	1101S	量子化ステップサイズ
3102	フィールド同期	1301S	更新タイミング信号
3103	セグメント同期	20 1501S	出力誤差信号
3201	PN511信号	1702S	エラー信号
3203	PN63信号	*	

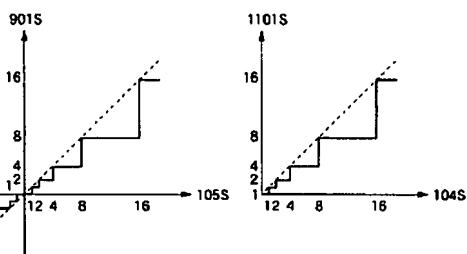
【図1】



【図2】



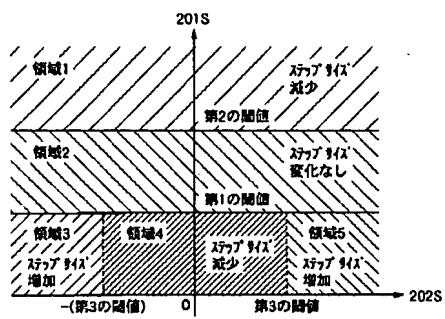
【図10】



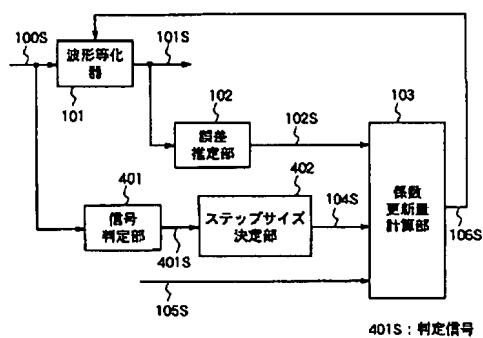
【図12】



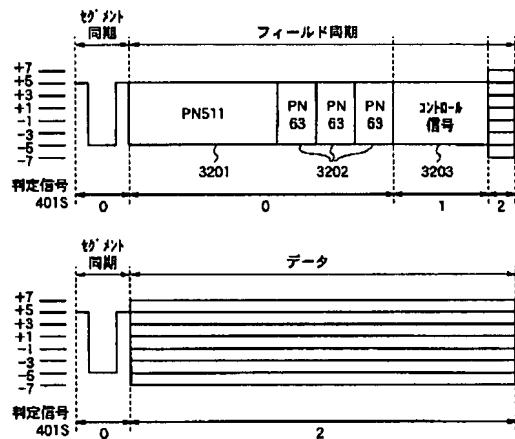
【図3】



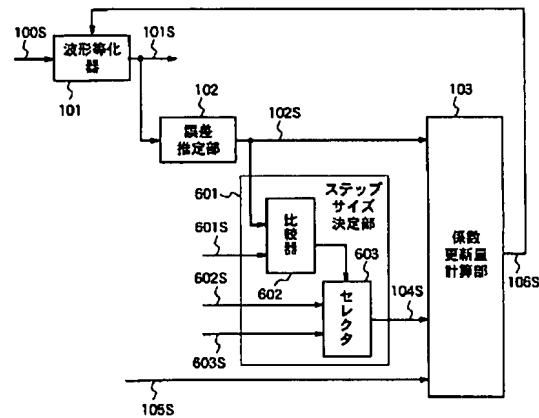
【図4】



【図5】

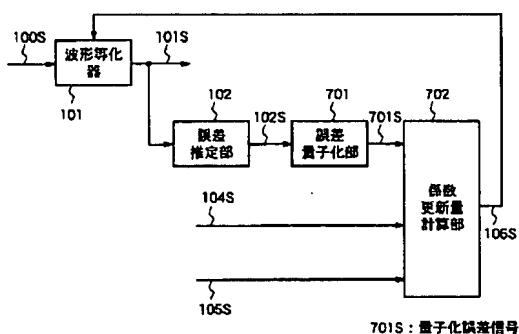


【図6】

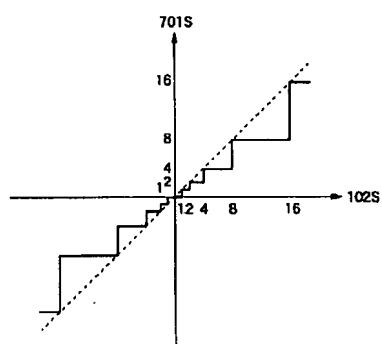


601S: 閾値
602S: 第1のステップサイズ設定値
603S: 第2のステップサイズ設定値

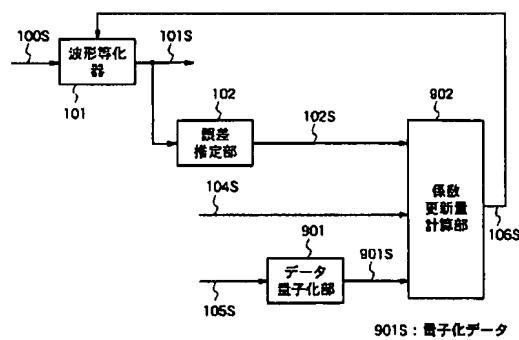
【図7】



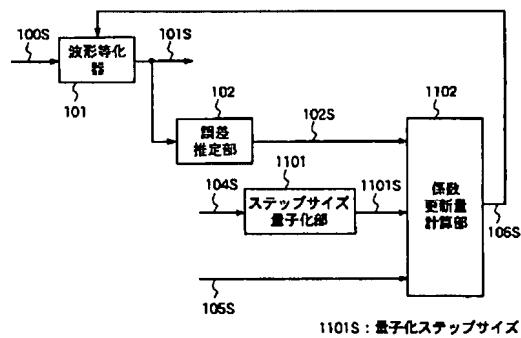
【図8】



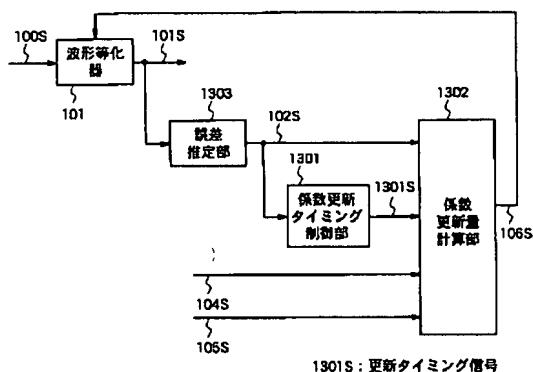
【図9】



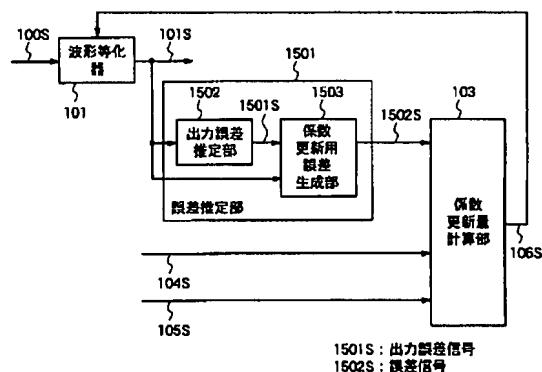
【図11】



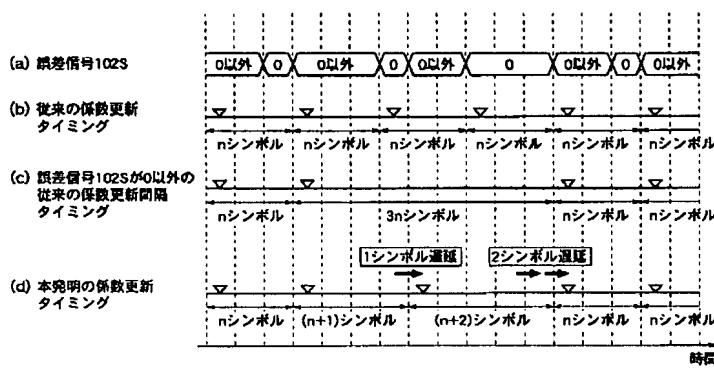
【図13】



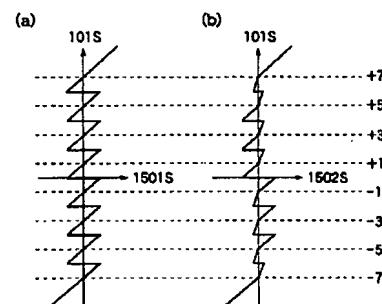
【図15】



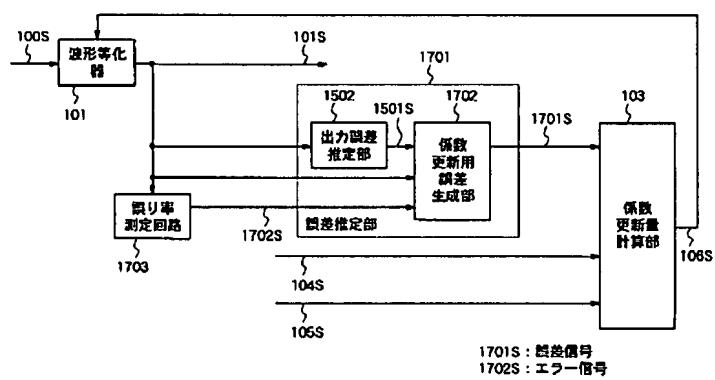
【図14】



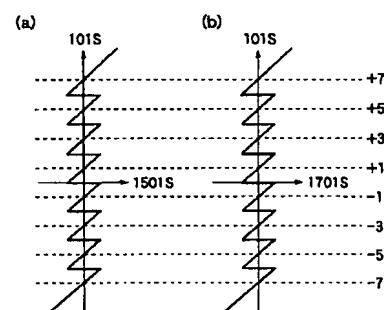
【図16】



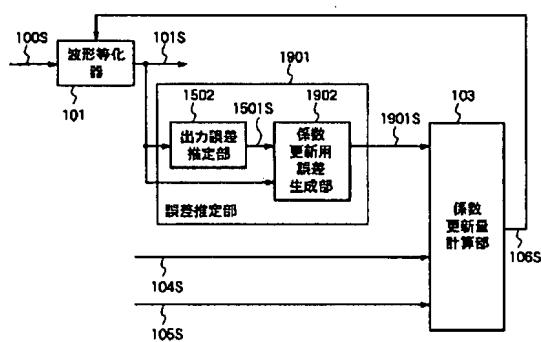
【図17】



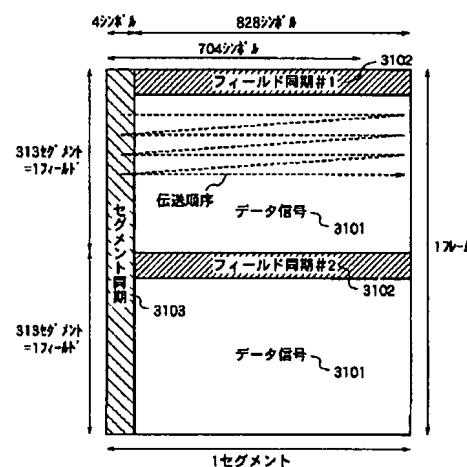
【図18】



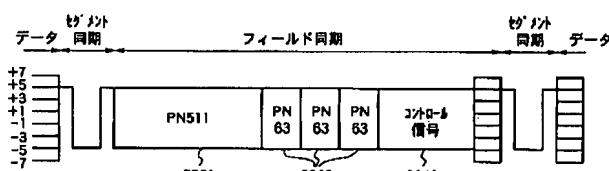
【図19】



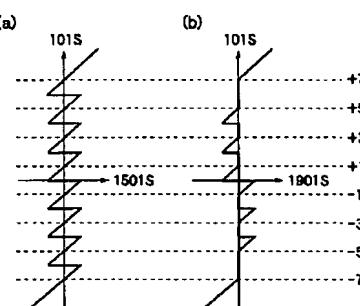
【図20】



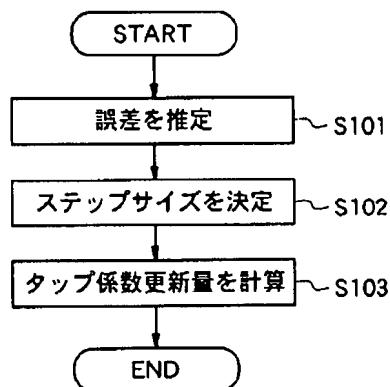
【図21】



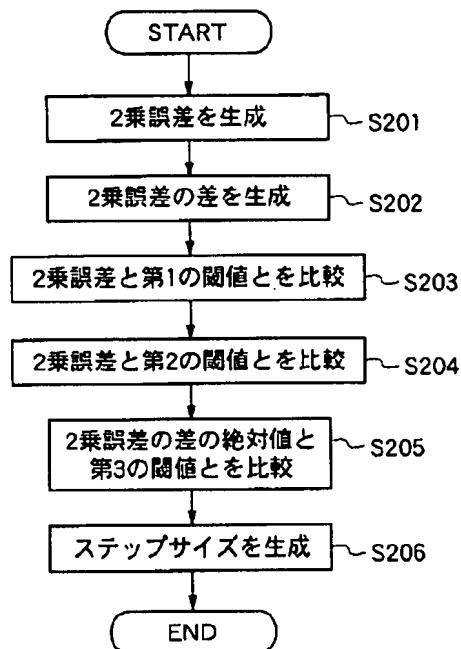
【図22】



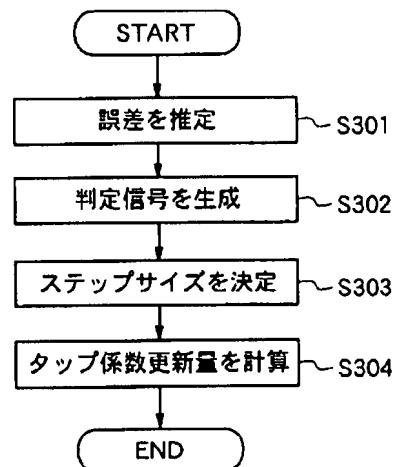
【図23】



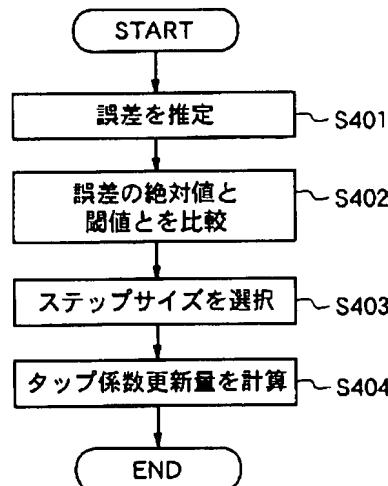
【図24】



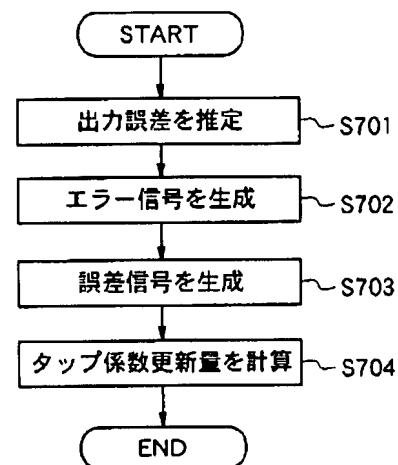
【図25】



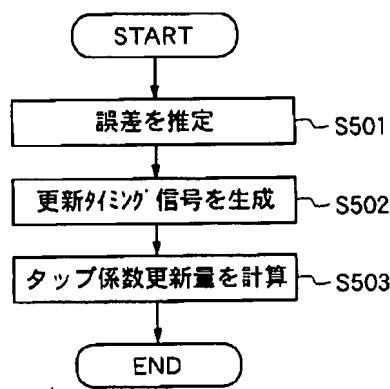
【図26】



【図29】



【図27】



【図28】

